Patrice WALLERICH

APPLICATIONS CMOS

Pour bien comprendre et utiliser les CMOS

ETSF
Editions Techniques et Scientifiques Françaises

ETSF
Editions Techniques
et Scientifiques Françaises

P. Wallerich

APPLICATIONS DES CMOS

ETSF

Editions Techniques
et Scientifiques Françaises
2 à 12, rue de Bellevue 75940 Paris cedex 19
Tél. (1) 42.00.33.05

Distribution :
Éditions Radio, 189, rue Saint Jacques 75005 Paris
Téléphone : (1) 43-29-63-70 — Télex : 270664F

REMERCIEMENTS

Notre gratitude va aux collaborateurs indirects qui ont permis la réalisation de cet ouvrage, et particulièrement aux fabricants de composants, qui les réalisent et les accompagnent de fiches techniques caractéristiques. Sincères remerciements à :

GE-RCA
National Semiconductor
Texas Instruments
R.T.C.

La loi du 11 mars 1957 n'autorisant, aux termes des alinéas 2 et 3 de l'article 41, d'une part, que les « copies ou reproductions strictement réservées à l'usage privé du copiste et non destinées à une utilisation collective » et, d'autre part, que les analyses et les courtes citations dans un but d'exemple et d'illustration, « toute représentation ou reproduction intégrale ou partielle, faite sans le consentement de l'auteur ou de ses ayants droit ou ayants cause, est illicite » (alinéa 1er de l'article 40). Cette représentation ou reproduction, par quelque procédé que ce soit, constituerait donc une contrefaçon sanctionnée par les articles 425 et suivants du Code pénal.

© Éditions Techniques
et Scientifiques Françaises
1988
Tous droits de traduction, de reproduction et d'adaptation réservés pour tous pays.

Imprimé en France par Berger-Levrault, Nancy

Dépôt légal : septembre 1988
Éditeur nº 504 - Imprimeur : 776496
I.S.B.N. 2 85535 167 7

AVANT-PROPOS

Il est désormais inutile de présenter les circuits intégrés et leurs avantages par rapport aux composants actifs discrets. Des diverses technologies disponibles pour l'amateur, se dégagent principalement deux types : la TTL et la CMOS. Nous retiendrons cette dernière pour ses nombreuses propriétés.

Le présent ouvrage permettra de mettre en œuvre correctement ces composants qui nécessitent quelques précautions. On trouvera les applications courantes des circuits utilisés, et on découvrira des applications originales qui permettront à l'amateur de généraliser l'emploi de cette technologie dans l'ensemble de sa réalisation.

Ce livre permettra à son lecteur de retrouver de manière rapide le montage qu'il désire mettre en œuvre, mais conserve un caractère pédagogique puisque chaque montage-type est muni d'une analyse détaillée, de chronographes et de formules. Cet ouvrage sera un bon aide-mémoire pour l'étudiant, un recueil de schémas pour l'amateur et un recueil d'applications originales pour un technicien.

Patrice WALLERICH

CHAPITRE I

RAPPELS...

ALGÈBRE DE BOOLE

On n'envisage de rappeler ici que les principes fondamentaux de la logique combinatoire. Une étude approfondie n'est nullement indispensable, mais vous pourrez, le cas échéant, vous reporter à un ouvrage traitant de logique (algèbre de Boole, tableaux de Karnaugh, simplification d'équation...).

L'algèbre de Boole met en relation une ou plusieurs variables de sorties à une ou plusieurs variables d'entrée. Ces variables ne peuvent prendre que deux états : "1" ou "0", correspondant respectivement à une présence ou absence de tension. Le bloc logique réalisera la fonction souhaitée, donc liera les entrées et sorties par une ou plusieurs équations.

Il existe trois types d'opérations

— l'inversion logique (ou complément à 1) représentée par une barre horizontale au-dessus du terme considéré :

$\overline{1} = 0 \qquad \overline{0} = 1 \qquad$ et $\qquad \overline{(\overline{a})} = a$

— le OU logique représenté par le signe '+' (plus) comme pour l'addition en algèbre classique :

$0 + 0 = 0 \qquad 0 + 1 = 1 + 0 = 1 \qquad 1 + 1 = 1$ (et non 2 !)

d'où $\qquad 0 + a = a \qquad 1 + a = 1 \qquad a + a = a \qquad a + \overline{a} = 1$

— le ET logique représenté par le signe '·' (point) comme pour la multiplication en algèbre classique :

$0 \cdot 0 = 0 \qquad 0 \cdot 1 = 1 \cdot 0 = 0 \qquad 1 \cdot 1 = 1$

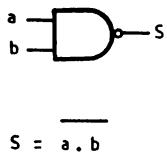
d'où $\qquad 0 \cdot a = 0 \qquad 1 \cdot a = a \qquad a \cdot = a \qquad a \cdot \overline{a} = 0$

Il y a trois théorèmes à se rappeler :

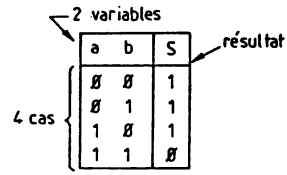
$$\overline{a + b} = \bar{a} \cdot \bar{b}$$

$$\overline{a \cdot b} = \bar{a} + \bar{b}$$

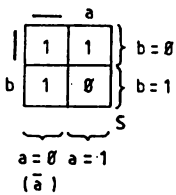
$$a \oplus b = \bar{a}\, b + a\, \bar{b} \text{ (ou exclusif)}$$



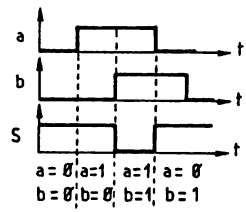
a) équation



b) table de vérité



c) tableau de Karnaugh



d) chronographes

Fig. 1-1. — Représentation et fonctionnement d'une porte NON-ET (NAND).

Il existe plusieurs méthodes, liées entre-elles, pour représenter le fonctionnement du bloc logique. On a déjà utilisé la représentation par équation qu'on réservera à des équations simples. Seconde méthode, la table d'analyse permettra de représenter les différents états possibles et vérifiera l'équation pour chaque cas. C'est ce qu'on se rappelle lorsque l'on pense à des portes logiques simples. La troisième méthode reprend la table d'analyse (de vérité) sous forme d'un tableau (de Mr Karnaugh !) qui sera utile pour simplifier une équation. Et la dernière représentation sera sous forme de diagrammes temporels, les chronographes, définissant les états proportionnellement au temps. Cette dernière sera la plus utilisée dans cet ouvrage, son rôle étant de mettre en valeur la phase active du montage, qu'il soit en logique combinatoire ou séquentielle. On retrouve ces quatres représentations sur l'exemple de la figure 1.1.

La figure 1.2 présente un autre exemple mettant en œuvre une fonction logique « complexe » à simplifier et les deux méthodes de simplification.

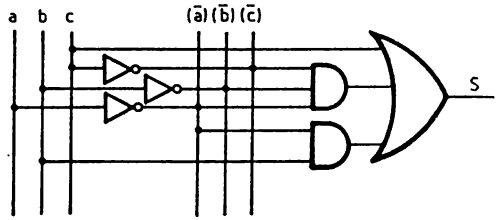
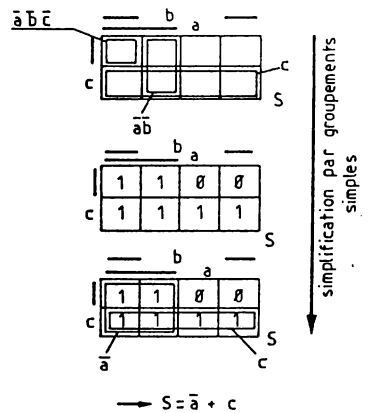


Schéma initial

Schéma simplifié

$S = c + (\bar{a} \cdot \bar{b} \cdot \bar{c}) + (\bar{a} \cdot b)$
$S = c + \bar{a} \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b$
$S = c + \bar{a} \cdot (\bar{b} \cdot \bar{c} + b)$
$S = c + \bar{a} \cdot (\bar{c} + b)$
$S = c + \bar{a} \cdot \bar{c} + \bar{a} \cdot b$
$S = c + \bar{a} + \bar{a} \cdot b$
$S = c + \bar{a} \cdot (1 + b)$
$S = c + \bar{a}$
$S = \bar{a} + c$

a) par équation



b) par tableau de Karnaugh

Fig. 1-2. — Exemple de simplification

Les quelques formules et théorèmes utilisés sont regroupés dans le tableau I.

$a + a \cdot b = a \cdot (1 + b) = a$

$a + \bar{a} \cdot b = a + b$

$a \cdot (b + c) = a \cdot b + a \cdot c$

$a \cdot (a + b) = a \cdot a + a \cdot b = a + a \cdot b = a \cdot (1 + b) = a$

$a + b \cdot c = (a + b) \cdot (a + c)$

$\overline{a + b} = \bar{a} \cdot \bar{b}$

$\overline{a \cdot b} = \bar{a} + \bar{b}$

$a \oplus b = \bar{a}\, b + a\, \bar{b}$ $\qquad$ $a \oplus \bar{b} = ab + \bar{a}\, \bar{b} = \overline{a \oplus b}$

$a \cdot a = a$	$a \cdot \bar{a} = \emptyset$	$a \cdot \emptyset = \emptyset$	$a \cdot 1 = a$
$a + a = a$	$a + \bar{a} = 1$	$a + \emptyset = a$	$a + 1 = 1$

$(\bar{a}) = a$

Tableau I. Quelques formules...

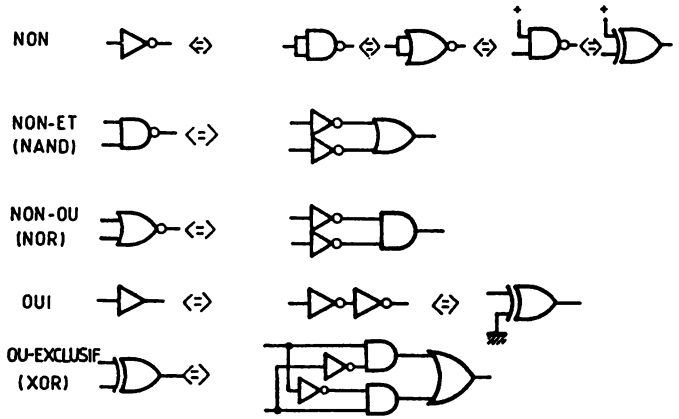


Fig. 1-3. — Equivalences entre portes élémentaires.

La figure 1.3 présente les portes élémentaires et les équivalences possibles. Un petit exercice sera la vérification de ces équivalences en utilisant la méthode de votre choix (équation, tableau de Karnaugh).

Ces rappels sont assez brefs (on en parlera même pas de logique séquentielle !), aussi il convient de se rappeler que le sujet principal de ce livre est l'analyse de montages mettant en application des portes CMOS, sans se limiter à la logique. On considère donc les bases de logique comme déjà acquises.

NOUVELLE SYMBOLISATION LOGIQUE

Pour préserver un souci de familiarisation avec le lecteur, les symboles utilisés pour la représentation des schémas d'application, utilisent encore les anciennes normes américaines. La figure 1.4 présente quelques unes des nouvelles symbolisations graphiques qui sont désormais en vigueur.

Il aurait fallu dans le cas contraire définir cette nouvelle normalisation des symboles, plus complexe à première vue mais plus fidèle et plus explicite pour la compréhension du circuit, ce qui aurait nécessité un tiers de cet ouvrage. Vous vous reporterez le cas échéant aux numéros 468 à 471 de la revue *Radio-Plans* qui fait le point sur cette symbolisation qui est utilisée dans l'industrie et l'éducation depuis plusieurs années.

...Peut-être y aura-t-il une révision de cet ouvrage dans ce sens ?...

RÉSEAUX RC ET CONVENTIONS

Avant d'entreprendre l'analyse des montages, dont la plupart mettent en œuvre des circuits RC (Résistance-Capacité), il est nécessaire de définir les équations liant le temps, R et C, lors de la charge ou décharge d'un condensateur dans un élément résistif. Vous vous reporterez à la figure 1.5 pour compléter l'analyse.

Considérons la charge de C à travers R. A t_o, il possède une charge initiale, soit Vc_o correspondante. Le temps passe et C se charge. A t_1, la tension correspondant à sa charge vaut Vc_1, soit un accroissement de ΔVc_1. Si le temps était infini, la tension limite aux bornes de C serait Vcc, soit un accroissement de ΔVc_2 depuis t_o. Comme la charge est exponentielle, la courbe de charge est de la forme $(1—e^{-t/RC})$. Par un raisonnement mathématique, on transpose l'équation pour obtenir une relation définissant le temps, comme indiqué sur la figure, par exemple.

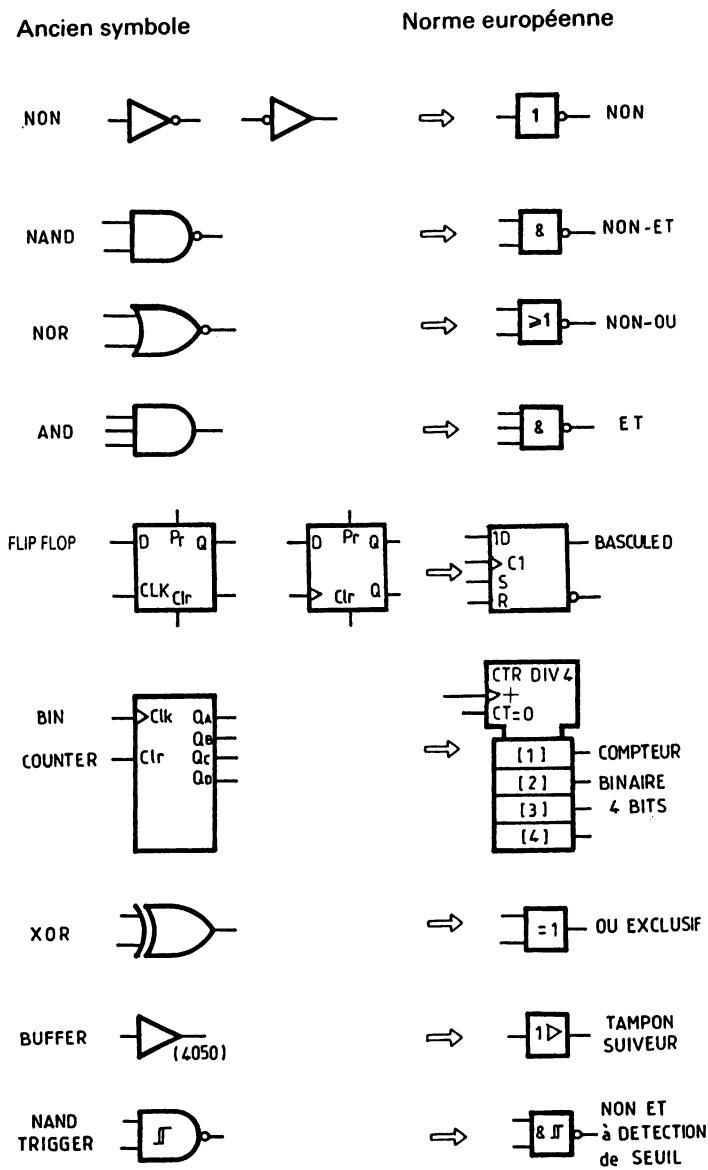
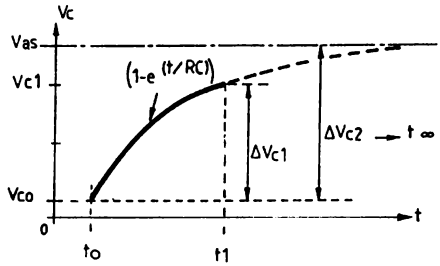


Fig. 1-4. — Symbolisation graphique



$t = o \rightarrow Vc = Vc_o$ (charge initiale)
$t = t_1 \rightarrow Vc = Vc_1$ (charge à un instant donné)
$t = \infty \rightarrow Vc = Vas$ (asymptote)

$$\Delta Vc_1 = \Delta Vc_2 \cdot (1 - e^{-t/RC})$$
$$(Vc_1 - Vc_o) = (Vas - Vc_o)(1 - e^{t/RC})$$
$$(Vc_1 - Vas) = (Vc_o - Vas) \cdot e^{-t/RC}$$

$$\frac{Vc_1 - Vas}{Vc_o - Vas} = e^{-t/RC} \rightarrow \frac{-t}{RC} = Ln \left| \frac{Vc_1 - Vas}{Vc_o - Vas} \right|$$

$$t = R.C.\ Ln \left| \frac{Vc_o - Vas}{Vc_1 - Vas} \right|$$

$$\boxed{t = R.C.\ Ln \left| \frac{Vas - Vc_o}{Vas - Vc_1} \right|}$$

Fig. 1-5. — Formule de (dé)charge exponentielle

On a donc :

$$t = R.C.Ln\ ((Vas - Vc_o) / (Vas - Vc_1))$$

mais aussi :

$$\Delta Vc_1 = \Delta Vc_2 \cdot (1 - e^{-t/RC})$$

Les formules restent valables dans le cas d'une décharge à condition de définir correctement Vas (asymptote = tension à t infini), Vc_1 (tension au moment de la commutation) et Vc_o (tension de charge initiale). C'est l'avantage de cette formule qui évite aussi de faire des transpositions pour compenser l'état de charge initial du condensateur.

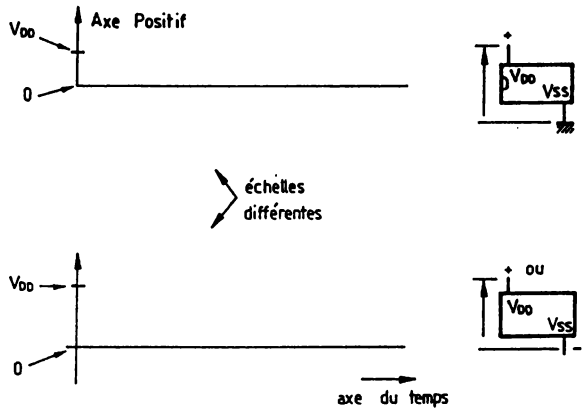


Fig. 1-6. — Conventions graphiques

Il ne reste plus qu'à définir quelques conventions qui seront utilisées au long de cet ouvrage. Comme l'indique la figure 1-6, les chronographes seront représentés selon deux axes: horizontal pour le temps (qui progresse de la gauche vers la droite) et vertical pour la tension (sens positif indiqué par la flèche). Sur l'axe vertical, un repère supplémentaire fixe l'échelle en marquant la valeur Vdd, tension mesurée entre la broche Vdd du circuit CMOS et la masse (0V). Si le circuit est alimenté de manière symétrique, l'axe vertical se prolongera vers le bas. Ces chronographes correspondront, chaque fois, au signal au point défini par rapport à la masse,de même qu'au signal visualisé sur un écran d'oscilloscope,autorisant ainsi la vérification de la conformité du montage ainsi que sa maintenance.

Le tableau II définit quelques abréviations ou valeurs numériques approchées utilisées.

$\text{Ln } 3 \approx 1{,}1$
$\text{Ln } 2 \approx 0{,}7$
$R_1//R = \dfrac{R_1 \cdot R}{R_1 + R}$
EN = enable = validation
CLK = clock = horloge
CLR = clear = mise à zéro
PR = Preset = mise à 1
INH = Inhibition
$\overline{XX}$ = complément logique de XX (actif à "0")
"0" état logique Ø, égal à Vss
"1" état logique 1, égal à V_{DD}

TABLEAU II

CHAPITRE II

CARACTÉRISTIQUES DES PORTES CMOS

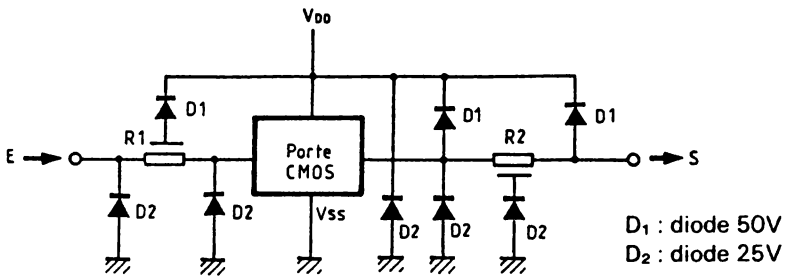
Avant de mettre en œuvre des composants CMOS, il convient de définir leurs caractéristiques et limites pour éviter de les détruire ou de les faire fonctionner en dehors des conditions correctes. Le terme de composant « fragile » sera alors démystifié !

Il faut savoir que les portes CMOS disposent de réseaux de protection en entrée et sortie qui les protègent du claquage par électricité statique. L'auteur conseille vivement l'utilisation d'un fer à souder à tension nulle au niveau de la panne (reliée à la terre). Conservez toutefois vos circuits sur de la mousse conductrice ou dans des barrettes de conditionnement. Un bracelet et un tapis antistatique ne seront utiles que si vous êtes « survoltés » (à la lecture de cet ouvrage !)...

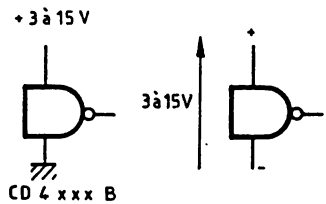
Voici les diverses règles (strictes) à respecter et les caractéristiques communes des circuits CMOS de la série commerciale 4xxxB, 4xxxUB :

— respecter la plage d'alimentation : $3V \leqslant Vdd—Vss \leqslant 15V$ (18V MAX!)
  $Vdd—Vss > 4V$ en mode linéaire et avec des circuits RC ou quartz
  $Vdd—Vss \leqslant 18V$ (20V MAX!) pour les circuits à sortie 3 états
  remarque : les circuits sont testés à 2,8V 17V et 20V
— respecter la polarité : $Vdd—Vss > —0,5V$
— Ve appliqué en entrée :
  après l'établissement de Vcc : $Vss—0,5V \leqslant Ve \leqslant Vdd+0,5V$
  avant la coupure de Vcc ; $Vss—0,5V \leqslant Ve \leqslant Vdd+0,5V$
— Re, résistance d'entrée $> 10^9$ ohms
— Ie, courant sur une entrée, limité à 100μA (10mA MAX! sinon « latch up »)
— tr, tf, temps de montée/descente du signal d'entrée de 5μS à 15μS
  si l'entrée commande des horloges en parallèles (compteurs synchrones)
  $t\,max=0,7\cdot(Vdd—Vss)\cdot tr$ ou $tmax=0,7\cdot(Vdd—Vss)\cdot tf$
— fréquence du signal d'entrée : 1MHz à 5,5 MHz
  plus Vcc est élevé, plus la limite de fréquence augmente
— limiter le courant d'alimentation à une valeur raisonnable (inutile de trop surdimensionner !)
— pas de résistance élevée en série sur Vdd ou Vss

— respecter la dissipation de puissance du boîtier, d'où limite de Is
750mW à 25°C 500mW à 60°C 200mW à 90°c
— pas de court-circuit de la sortie si Vdd—Vss > 5V
— température de fonctionnement de 0 à 70°C
température de soudage : 265°c pendant 10 secondes MAX!
— pas de mise en parallèle de portes de boîtiers différents
— capacité de la charge en sortie < 5nF (forte dissipation !)
— utiliser des circuits tampons ('buffer') en mode linéaire ou dans un montage astable-monostable



réseaux de protection en entrée et sortie



Icc	I1 et Vs	Io et Vs
5 V	400 µA à 4,6 V 1,6mA à 2,5 V	400µA à 0,4 V
18 V	900 µA a 9,5V	900µA à 0,5V

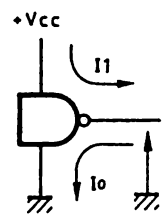


Fig. 2-1. — Caractéristiques d'une porte

La figure 2-1 présente le réseau de protection en entrée et en sortie, les deux possibilités d'alimentation et les caractéristiques de sortie d'une porte CMOS. En dehors de ces limites, le circuit aura un échauffement excessif et risquera d'être détruit. A noter qu'il faudra considérer une dissipation deux fois plus faible si la carte imprimée est montée verticalement.

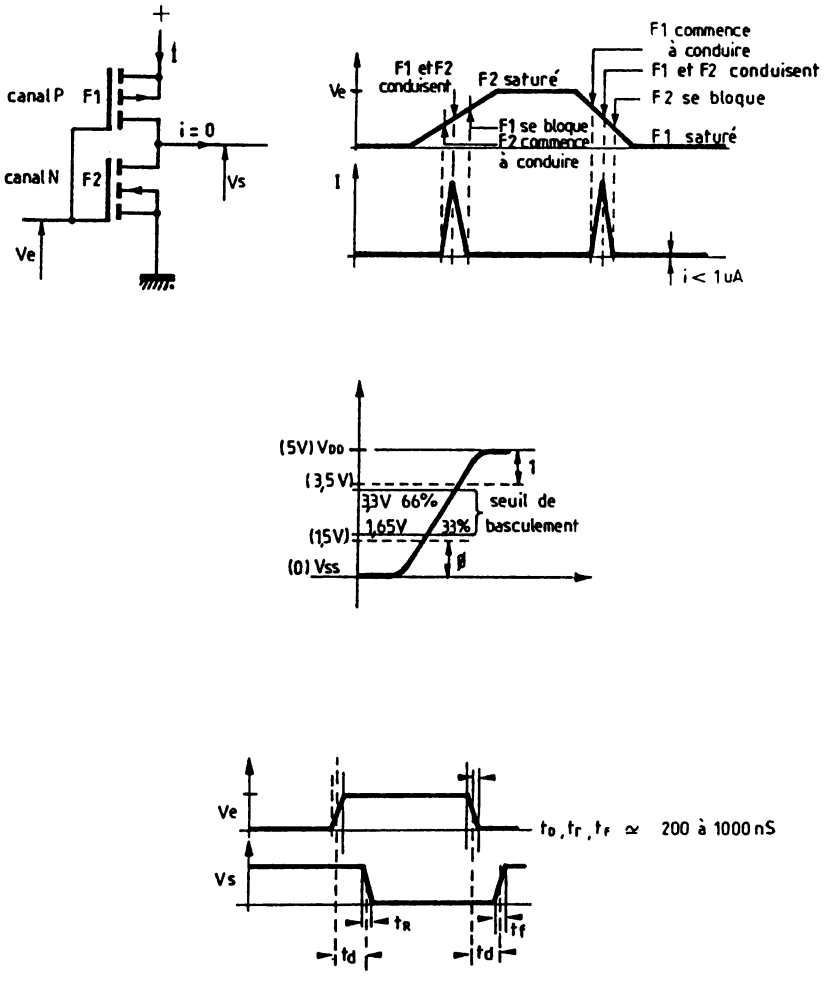


Fig. 2-2. — Caractéristiques dynamiques

La figure 2-2 (page 17) apporte des détails complémentaires en régime dynamique ! Le schéma permet de comprendre le chronographe associé. F1 est un trasistor MOS canal P, saturé pour Ve=0V et F2 un transistor MOS canal N, saturé pour Ve=Vcc. Si le signal Ve évolue lentement, on passe par un instant où les transistors conduisent en même temps. Ce qui explique les pics de courant qui définissent la consommation moyenne du circuit en régime dynamique, en plus du courant de sortie. La consommation d'une porte CMOS reste très faible (1μA) en mode statique ! Le seuil de commutation n'existe pas au même moment suivant les circuits. Il est pourtant donné dans une plage allant de 33 % à 66 % de Vdd—Vss, mais on peut le considérer comme égal à environ 0,5·(Vdd—Vss). Le niveau "0" est défini pour une tension maximum de 1,5V (30 % Vcc) et le niveau "1" pour une tension minimum de 3,5V (70 % Vcc) ce qui garantit une immunité au bruit supplémentaire. Toute porte possède un délai de propagation du signal de l'entrée vers la sortie, t_D ('delay time') de l'ordre de 200nS à 1μS. Le temps de transition du signal de sortie, tr ('rise time') pour le temps de montée, tf ('fall time') pour le temps de descente, est du même ordre : 200nS à 1μS.

Pour plus de détails, on se reportera à la fiche descriptive ('Data sheet') du composant utilisé, les caractéristiques ne pouvant être généralisées précisément ! Il existe des recueils ('data books') comprenant ces fiches caractéristiques chez la plupart des fabricants de circuits, mais leur coût élevé les prédestine aux bureaux d'études.

Au vu de ces caractéristiques et des précautions, il ne s'avère pas si difficile d'utiliser ces circuits CMOS, surtout par l'énorme avantage de la faible consommation au repos, et même le cas échéant, pour remplacer d'autres technologies (TTL, TTLS,...). Alors, il ne vous reste plus qu'à découvrir les applications décrites dans les chapitres suivants...

CHAPITRE III

GÉNÉRATION DE SIGNAUX : LES ASTABLES

On débutera les applications par la fonction la plus fréquemment utilisée : la génération de signaux autonome, tels les astables, ne nécessitant donc pas de signaux de commande. Certains montages possèdent toutefois une telle commande dont le rôle sera l'inhibition ou la validation (à distinguer de la commande des monostables !).

3-1. — Le plus simple des astables

Cet astable utilise une des caractéristiques d'une porte logique, le temps de propagation en l'occurence. La première porte inverse le signal et le retarde de T_D. La seconde porte inverse le signal et le retarde à nouveau. Il est de même pour la troisième porte. Le signal de sortie est réinjecté sur la première porte. Il est en opposition de phase et oblige donc cette porte à basculer. Et le cycle recommence. La sortie change d'état tous les $3t_D$ et le signal est donc carré. La fréquence du signal de sortie vaut donc $1/(6-t_D)$, mais n'est pas précise car dépend du temps de propagation des portes utilisées.

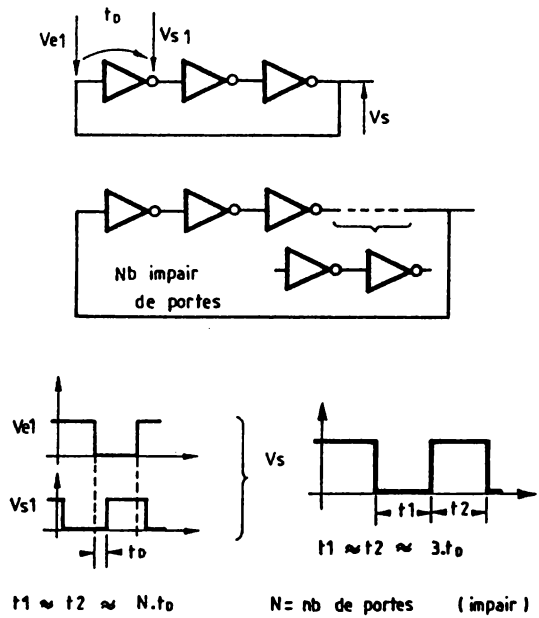


Fig. 3-1. — Astable le plus simple

Il est possible d'augmenter le nombre de portes pour obtenir une fréquence plus faible. Mais le nombre devra rester impair pour garantir l'oscillation (signal réinjecté en opposition de phase).

3-2. — Dérive due au seuil

Avant d'utiliser les réseaux RC, il est utile de faire cette précision car elle s'appliquera à tous les montages qui mettent en œuvre des circuits RC pour générer une constante de temps. On considère le chronographe V_{RC}. Le seuil fixe le moment de basculement de la sortie et donc le changement d'état du signal Vs. Or le seuil est défini dans une plage de 33 % à 66 % de V_{DD}. On considère généralement ce seuil égal à $0{,}5V_{DD}$ pour une simplification des formules et calculs. Le résultat est donc une valeur approchée.

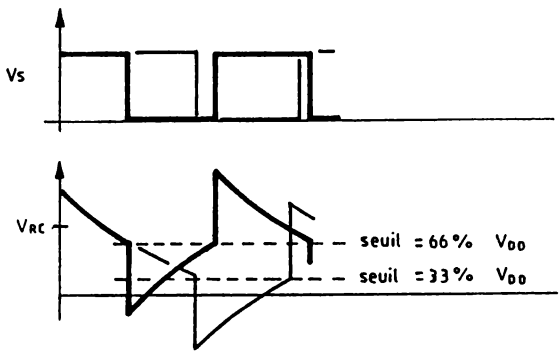


Fig. 3-2. — Dérive due au seuil

Les chronographes montrent l'influence des deux extrêmes, qui modifiera la valeur théorique (seuil à 50 %) de la fréquence, de la durée d'un état, et du rapport cyclique. Pour un ordre d'idée, le montage de la figure 3-3 subit une variation de 27 % du rapport cyclique :

	seuil = 33 %	seuil = 50 %	seuil = 66 %
$T_{"1"}$	R·C·Ln (4)	R·C·Ln (3)	R·C·Ln (2,5)
$T_{"0"}$	R·C·Ln (2,5)	R·C·Ln (3)	R·C·Ln (4)
T	R·C·Ln (10)	R·C·Ln (9)	R·C·Ln (10)

3-3. — Astable classique

Cet astable met en œuvre deux portes inverseuses et un réseau RC qui fixera la fréquence d'oscillation. Il peut donc être réalisé avec n'importe quelle porte câblée de manière à réaliser la fonction complément (Inverseur, Porte NON-ET, NON-OU, OU-Exclusif,...). Comme le signal en V_{RC} sort des limites préconisées par le constructeur (V_{DD}+0,5V et V_{SS}—0,5V), on insère une résistance de limitation r. Pour éviter son influence sur la fréquence d'oscillation, il faudra la fixer à une valeur bien supérieure à R, soit 10 fois minimum. Sinon la formule ne sera plus exacte. Pour un montage simple, elle pourra être omise, mais dans ce cas attention aux valeurs critiques pour R et C.

A noter que ce montage est instable et peut ne pas entrer en oscillation pour certaines valeur de C, ceci car la contreréaction est en phase. On se reportera à la figure 3.10 pour trouver l'astuce le rendant stable. Mais dans de nombreux montages, cela ne posera aucun problème !

Considérons Vs="1" (=Vcc=Vdd—Vss), alors V_R="Ø" et Vr="1". On vérifie, à la mise sous-tension C est déchargé, donc V_{RC}="1" et Vr="1". Le condensateur C se décharge donc dans R jusqu'au seuil de la première porte, donc quand Vr=V_{seuil}. V_R bascule alors à "1" et Vs à "Ø". Le condensateur conserve sa charge, donc V_{RC} chute instantanément de Vcc ce qui accentue le basculement. Maintenant C se charge à travers R jusqu'à atteindre à nouveau le seuil de basculement, et le cycle se répète. Pour le calcul du temps de charge : Vc_o=V_{seuil}—Vcc, Vc_1=V_{seuil} et asymptote Vdd, alors que pour la décharge : Vc_o=V_{seuil}+Vcc, Vc_1=V_{seuil} et asymptote Vss d'où les relations :

$t_1=R\cdot C\cdot Ln((Vss-Vc_0)/(Vss-Vc_1))=R\cdot C\cdot Ln((Vss-V_{seuil}-Vcc)/(Vss-V_{seuil}))$

si Vss=0 alors Vdd=Vcc et on considère V_{seuil}=Vcc/2 alors

$t_1=R\cdot C\cdot Ln((0-Vcc/2-Vcc)/(0-Vcc/2))=R\cdot C\cdot Ln(-3/2)/(-1/2))$

$t_1=R\cdot C\cdot Ln(3)$ [reste valable si Vss n'est pas égal à 0]

$t_2=R\cdot C\cdot Ln((Vcc-Vc_0)/(Vcc-Vc_1))=R\cdot C\cdot Ln((Vcc-V_{seuil}+Vcc)/(Vcc-V_{seuil}))$

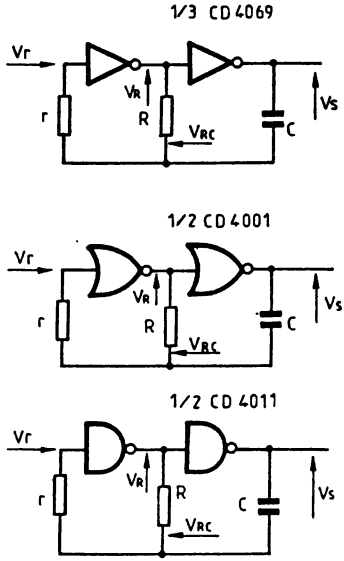
si Vss=0 alors Vdd=Vcc et on considère V_{seuil}=Vcc/2 alors

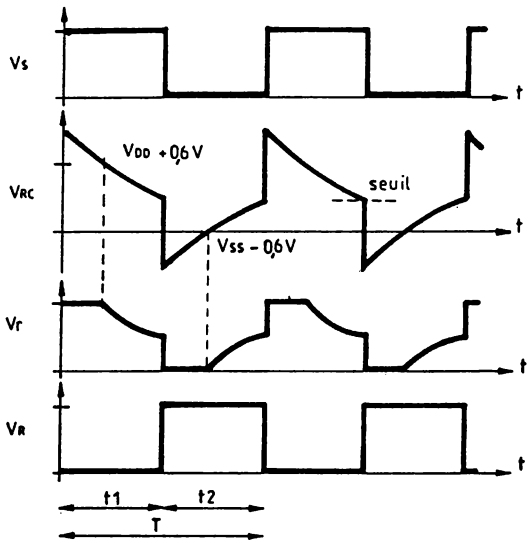
$t_2=R\cdot C\cdot Ln((Vcc-Vcc/2+Vcc)/(Vcc-Vcc/2))=R\cdot C\cdot Ln((3/2)/(1/2))$

$t_2=R\cdot C\cdot Ln(3)$ [reste valable si Vss n'est pas égal à 0]

donc $t_1=t_2=R\cdot C\cdot Ln3$ un signal de sortie à rapport cyclique 50 % (rapport cyclique=t_1/t_2 = temps pour Vs="1" / temps pour Vs="0".

On a donc démontré l'utilisation simple de la formule donnée en fig. 1-5 et désormais les calculs ne seront plus aussi développés. De même, on ne tiendra pas compte de la tolérance sur V_{seuil}, ni de la tolérance des composants passifs. Cela pourra d'ailleurs constituer un bon exercice d'effectuer les calculs complets... Il convient de formuler une remarque sur le condensateur C ! Comme la tension à ses bornes évolue entre une valeur positive et négative, il devra être non-polarisé !





si $r \geqslant 10\,R$
alors,
$t_1 = t_2 = R \cdot C \cdot \mathrm{Ln}3$
$\simeq 1{,}1 \cdot R \cdot C$

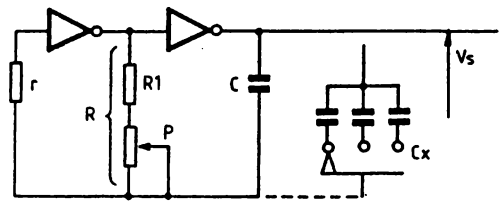
$\rightarrow T \simeq 2{,}2 \cdot R \cdot C$

$\rightarrow f = \dfrac{1}{T} \simeq \dfrac{1}{2{,}2 \cdot R \cdot C}$

Fig. 3-3. — Astable classique

3-4. — Fréquence variable

Pour faire varier la fréquence de ce type d'astable, on ne peut intervenir que sur C ou R. La solution la plus simple est une variation de R en remplaçant cet élément résistif par R1 et un potentiomètre P. R1 permettra de limiter le courant dans C et fixera la fréquence maximum. R1+P fixera la fréquence minimum. Attention au câblage avec des valeurs élevées de P.



$$Fmax \approx \frac{1}{1{,}1 \cdot Rmin \cdot C} \approx \frac{1}{1{,}1 \cdot R_1 \cdot C}$$

$$Fmin \approx \frac{1}{1{,}1 \cdot Rmax \cdot C} \approx \frac{1}{1{,}1 \cdot (R_1+P) \cdot C}$$

Fig. 3-4. — Astable à fréquence variable

Mais il reste possible de faire varier C à l'aide d'un commutateur et de plusieurs condensateurs Cx (tenir compte de leur tolérance de 10 %; plus de 50 % pour les électrochimiques). Il est ainsi possible de réaliser un mini-générateur de signaux carrés en conservant un rapport de 10 entre les condensateurs Cx et en dimensionnant R1 et P pour couvrir la variation 1 à 10 en tenant compte des tolérances des éléments.

3-5. — Sortie propre

Au moment de la commutation, la sortie est affectée d'oscillations parasites ('jitter') dues au courant traversant C. Pour s'en affranchir, il suffit de disposer un tampon ('buffer') en sortie. Celui-ci pourra être une porte inutilisée du boîtier, mais il est préférable d'utiliser un autre boîtier pour supprimer l'influence des variations d'alimentation dues au circuit astable qui interviendrait sur les portes du même boîtier.

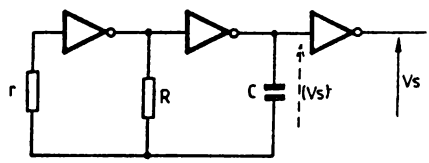


Fig. 3-5. — Remise en forme de la sortie d'un astable

3-6. — Contrôle simple

L'astable le plus simple utilise deux portes inverseuses. Si on désire le contrôler en tout ou rien ("marche-arrêt"), il suffit d'utiliser une diode qui agira sur Vr. Comme on l'a vu auparavant, Vr évolue entre Vdd et Vss environ. Quand la diode conduira, elle forcera Vr à un état stable.

D1 sera conductrice si Vr>Ve, donc si Ve=Vss, Vr sera toujours forcé à 0 et Vs prendra aussi cet état. Si Ve=Vdd, la diode sera bloquée et l'astable oscillera.

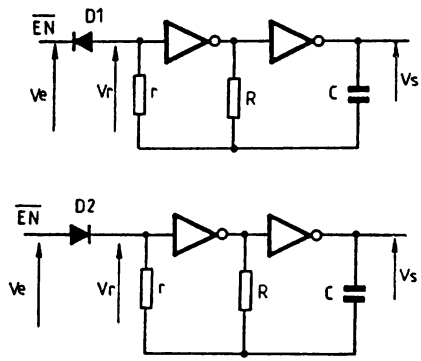


Fig. 3-6. — Contrôle simple d'un astable

D2 sera conductrice si Vr<Ve, donc si Ve=Vdd, Vr sera toujours forcé à 1 et Vs prendra aussi cet état. Si Ve=Vss, la diode sera bloquée et l'astable oscillera.

Il est recommandé d'utiliser un signal de commande issu d'une porte CMOS pour conserver le contrôle correct de la diode, mais un interrupteur relié au potentiel correct peut aussi convenir. Sinon attention aux niveaux de commande !

Le signal de sortie conservera un rapport cyclique de 50 % sauf à la première demi-période suivant la remise en oscillation, ceci pour des valeurs initiales différentes de celles en régime établi. D'ailleurs il en était de même sur un astable simple au moment de la mise sous-tension. A noter aussi qu'au moment du blocage de l'astable, quel que soit l'état de la sortie, elle est forcée aussitôt à l'état de blocage modifiant ainsi la dernière période du signal de sortie. On se reportera aux chronographes de la fig. 3-7 qui conviennent aussi pour ce montage.

3-7. — Contrôle avec portes à plusieurs entrées

Si l'astable est réalisé à l'aide de portes à plusieurs entrées, il est possible de le contrôler sans diode de blocage. On choisira le type de porte selon le niveau de blocage ou le niveau de sortie au repos. Il reste bien sûr la possibilité d'insérer une porte inverseuse en entrée ou en sortie !

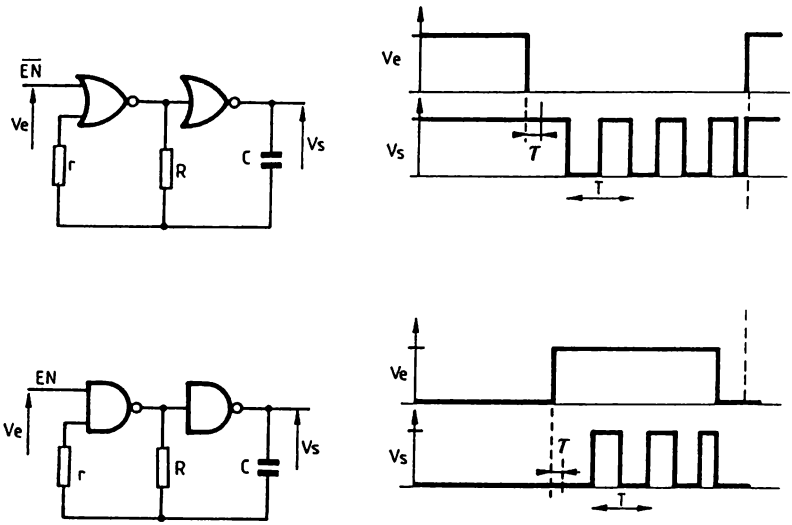


Fig. 3-7. — Contrôle d'un astable à portes deux entrées

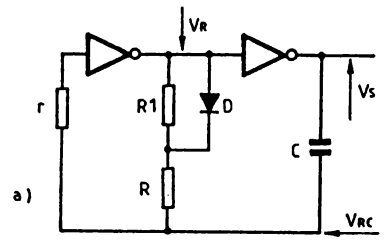
Le principe est simple. Une porte NON-OU n'équivaut à un inverseur que si les entrées inutilisées sont connectées à celle utilisée ou reliées à Vss. Un état logique "0" en entrée validera donc l'oscillateur et un état logique "1" l'inhibera en forçant la sortie à "1" (Vdd). A l'inverse une porte NON-ET validera l'oscillateur pour un état "1" et l'inhibera pour un état "0" qui sera aussi l'état forcé de la sortie.

Comme pour le montage précédent, il y a un petit délai *T* pour que l'oscillateur soit en régime établi et, l'inhibition est prioritaire sur l'état de sortie (dernière impulsion !).

3-8. — Rapport cyclique variable

On en a parlé précédemment. Le rapport cyclique est défini par le rapport du temps pour lequel la sortie est à l'état logique "1", soit t_1, sur le temps pour lequel la sortie vaut "0", soit t_2.

Pour le faire varier, il faut intervenir sur le produit R·C et le plus simple est d'agir sur R. Il faut différencier les deux cas, charge et décharge à l'aide d'une diode et d'un élément résistif en parallèle, montés en série avec R. La propriété d'une diode est d'avoir (en théorie) une résistance équivalente nulle quand elle conduit et infinie si elle est bloquée.

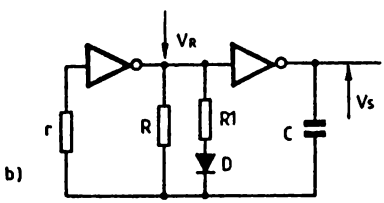


a)

$t1 \approx 1{,}1(R1+R)\,C$

$t2 \approx 1{,}1\,R\,C$

$T=1{,}1(R_1+2R)C$

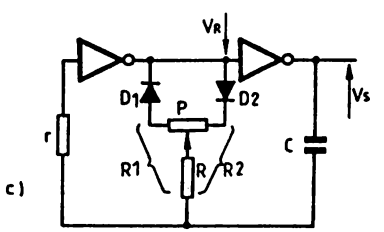


b)

$t1 \approx 1{,}1\,R\,C$

$t2 \approx 1{,}1\,(R1 /\!/ R)\,C$

$T=1{,}1\cdot R\cdot C\cdot\left(1+\dfrac{R_1}{R_1+R}\right)$



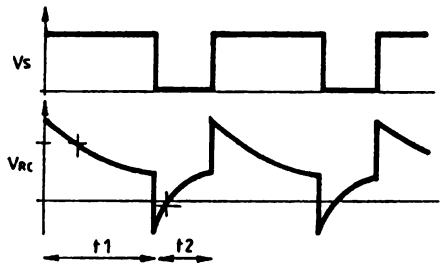
c)

$t1 \approx 1{,}1\;\;R1\,C$

$t2 \approx 1{,}1\;\;R2\,C$

$T=1{,}1(R1+R2)C=1{,}1(2R+P)C$

Fig. 3-8. — Variation de rapport cyclique à diodes



Chronographes

Montage [a], la diode conduit si V_R>Vs, donc pour V_R = "1" et Vs = "0", alors sa résistance équivalente est nulle (ou presque) et on peut considérer la résistance totale égale à R, durant le temps t_2 par conséquent. Si la diode est bloquée (Vs = "1", sa résistance équivalente est infinie (ou presque) et la résistance totale passe à R+R1, donc durant T_1. Les chronographes récapitulent ces explications. Le rapport cyclique est supérieur à 50 % car t1>t2 et la période vaut: $T = (R_1+2R)\cdot C\cdot Ln3$. Si on inverse le sens de D, t1<t2 et le rapport cyclique inférieur à 50 %.

Montage [b], la diode conduit pour Vs = "0" (t_2) et la résistance de charge de C devient $R//R_1$. Pour t_1, Vs = "1", D est bloquée et seule R décharge C. La période vaut : $T = (R//R_1+R)\cdot C\cdot Ln3$ et le rapport cyclique est supérieur à 50 % (inférieur si on inverse D).

Les montages [a] et [b] sont gênants si on désire pouvoir varier le rapport cyclique en gardant une fréquence constante car il est nécessaire de retoucher les deux éléments résistifs. Le montage [c] propose un remède en utilisant deux diodes et un potentiomètre P. Si Vs ="1", D_1 conduit et D_2 est bloquée, donc $t_1=R_1\cdot C\cdot Ln3$. Si Vs="0", D_1 est bloquée et D_2 conduit, donc $t_2 = R_2\cdot C\cdot Ln3$. R_1 et R_2 dépendent de la position du curseur de P, mais le terme R_1+R_2 est toujours constant. On le démontre facilement :

α = position potentiomètre
$R_1 = \alpha P+R \quad = R$ si $(\alpha = 0)$
$R_2 = (1-\alpha)P+R \quad = R$ si $(\alpha = 1)$

$R_1+R_2 = (\alpha\cdot P+R)+((1-\alpha)\cdot P+R) = \alpha\cdot P+R+P-\alpha\cdot P+R = 2\cdot R+P$ = constante d'où la période constante : $T = (2R+P)\cdot C\cdot Ln3$ mais une variation du rapport cyclique autour de 50 % dont la plage dépend du rapport entre R et P. Attention au câblage pour des valeurs de R et P élevées !

3-9. — Rapport cyclique contrôlé par porte analogique

On remplace la diode D du montage [b] de la figure 3-8 par une porte analogique de type 4016,4066. Une telle porte est assimilable à un commutateur ouvert (Req='Roff' >10 Mohms) si la tension de commande vaut Vss et fermé (Req='Ron' <500 ohms) si elle vaut Vdd. La plage de tension de ce commutateur est limité aux tensions d'alimentation du circuit qui comprend cette porte analogique. La tension de commande de ce commutateur est reliée à la sortie complémentée pour un rapport cyclique supérieur à 50 %, ou à la sortie pour un rapport cyclique inférieur à 50 %. Si R' vaut 0, on retrouvera en sortie des pics très brefs (Ron//R). Mais R' joue le même rôle que r en limitant le courant d'entrée de la porte analogique quand Vc sort des limites Vss=0,5V et Vdd+0,5V.

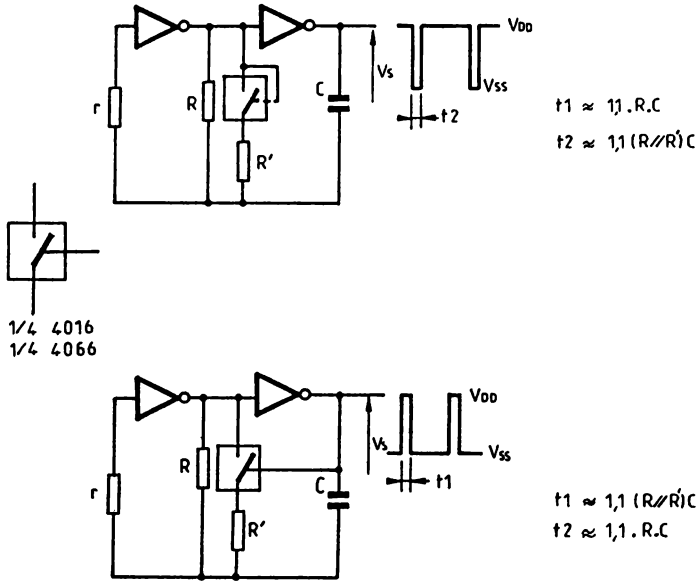
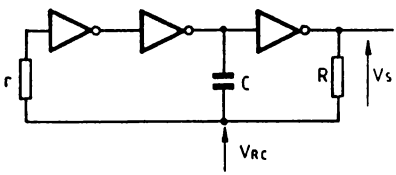


Fig. 3-9. — Rapport cyclique contrôlé par porte analogique

A noter qu'il est également possible d'utiliser une porte analogique en remplacement de la diode D du montage [a] de la figure 3-8.

3-10. — Astable à démarrage garanti

Ce montage ressemble à l'astable de la figure 3-3 mais on a inversé le réseau RC et rajouté une porte inverseuse. Ce montage oscillera quelles que soient les valeurs de C, car la contreréaction est déphasée. Supprimons C et on retrouve le schéma de la figure 3-1, donc si jamais l'oscillateur décroche, il oscillera à la fréquence limite fixée par les portes et redémarrera aussitôt. La période du signal reste : $T=2 \cdot R \cdot C \cdot Ln3$ et la forme d'onde du signal de sortie, carrée.



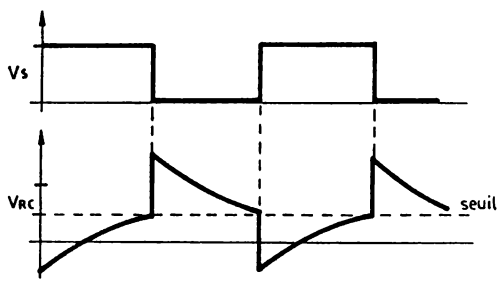


Fig. 3-10. — Astable à oscillation garantie

3-11. — Oscillateur stable bi-fréquence

C'est une variante du montage précédent si l'on omet R_2 et la porte associée.

Les portes inverseuses sont remplacées par des portes OU-EXCLUSIFS à deux entrées dont une est reliée à Vdd. On peut même aller plus loin en remplaçant les deux inverseurs en série par une porte non-inverseuse, en l'occurence un OU-EXCLUSIF avec l'autre entrée à Vss. R_2 intervient avec la dernière porte OU-EXCLUSIF.

Si Ve= "0" , cette porte équivaut à une porte non-inverseuse. Donc V_{R2}=Vs et le fonctionnement est le même que si R_2 était en parallèle sur R. Dans ce cas, la période T vaut :

$$T=2\cdot(R//R_2)\cdot C\cdot Ln3$$

En anticipant, si :

R_2=3R	$T=2\cdot(0,75\cdot R\cdot C\cdot Ln3)$	soit environ $T=1,65\cdot R\cdot C$
R_2=10R	$T=2\cdot(0,91\cdot R\cdot C\cdot Ln3)$	soit environ $T=2,00\cdot R\cdot C$
R_2=infini	$T=2\cdot(R\cdot C\cdot Ln3)$	soit environ $T=2,20\cdot R\cdot C$

Si Ve="1", la porte équivaut à une porte inverseuse. V_{R2} est donc le complément de Vs, ainsi donc la charge de C sera moins rapide car une partie du courant fourni par R est dérivée dans R_2. Mais attention, pour conserver le fonctionnement du montage, il faut R_2 suffisamment grande par rapport à R pour garantir le seuil de basculement ! L'asymptote de charge est maintenant $Vcc\cdot R_2/(R+R_2)$, celle de décharge $Vcc\cdot R/(R+R_2)$ au lieu de Vdd et Vss respectivement. Et la résistance vaut $R//R_2$ au lieu de R. Limitons nous au calcul de la charge :

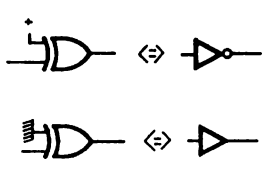
$$Vc_0=V_{seuil}-Vcc$$
$$Vc_1=V_{seuil}$$
$$Vas=Vcc\cdot R_2/(R+R_2)$$

d'où $$t_1=(R//R_2)\cdot C\cdot Ln((3\cdot R_2+R)/(R_2-R))=t_2$$

Avec $r_2 > 3 \cdot R$, le seuil de basculement est toujours atteint et l'oscillation garantie. Voici par exemple trois cas :

$R_2=3 \cdot R$	$T=2 \cdot (0,75 \cdot R \cdot C \cdot Ln5)$	soit environ $T=2,40 \cdot R \cdot C$
$R_2=10 \cdot R$	$T=2 \cdot (0,91 \cdot R \cdot C \cdot Ln(31/9))$	soit environ $T=2,25 \cdot R \cdot C$
R_2=infini	$T=2 \cdot (1,00 \cdot R \cdot C \cdot Ln3)$	soit environ $T=2,20 \cdot R \cdot C$

Il ne vous reste plus donc qu'à définir R, R_2, C selon les deux fréquences envisagées. Si Ve="0", la période varie de 1,65 à 2,2 fois le produit RC et si Ve="1", de 2,4 à 2,2 fois RC, respectivement selon la valeur de R2.



$R \geqslant 15\ K\Omega$
$r \geqslant 3R$
$R_2 \geqslant 3R$
$fo \approx \frac{1}{2RC}$
Vcc : 5 à 15 V

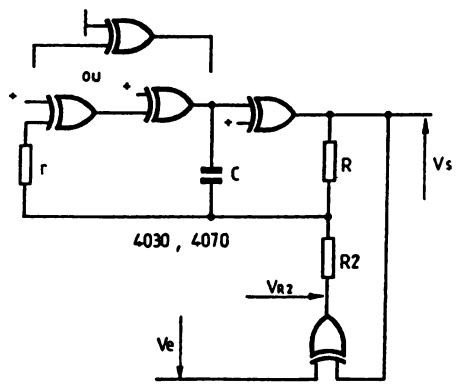


Fig. 3-11. — Oscillateur stable bifréquence

3-12. — Oscillation avec portes 'trigger'

Une porte 'trigger' est une porte avec deux seuils de basculement comme on le verra en détail au chapitre VI. En bref, la tension d'entrée fait basculer la sortie à "0" si le seuil haut, noté $\mathcal{L}_{(+)}$, est atteint ou dépassé. La sortie ne bascule à "1" que si on atteint ou passe sous le seuil bas, noté $\mathcal{L}_{(-)}$.

Le montage [a] est le plus simple car ne nécessitant qu'un inverseur à seuils ('trigger') et un réseau de contreréaction RC. Considérons C déchargé, comme à la mise sous-tension, alors Vc=0V="0" et Vs vaut "1". Le condensateur C se charge à travers R et ce jusqu'au seuil pour lequel Vs passe à "0", en l'occurence $\mathcal{L}_{(+)}$. Vs à "0", C se décharge alors dans R jusqu'à atteindre $\mathcal{L}_{(-)}$, seuil pour lequel Vs repasse à "1". Et le cycle se répète. En régime établi, la tension aux bornes de C est comprise entre les bornes $\mathcal{L}_{(-)}$ et $\mathcal{L}_{(+)}$ et le signal de sortie a un rapport cyclique proche de 50 %.

$$t_1=t=R\cdot C\cdot Ln((Vcc-\mathcal{L}_{(-)})/(Vcc-\mathcal{L}_{(+)}))$$

$$t_2=t=R\cdot C\cdot Ln((0-\mathcal{L}_{(+)})/(0-\mathcal{L}_{(-)}))=R\cdot C\cdot Ln((\mathcal{L}_{(+)})/(\mathcal{L}_{(-)}))$$

Si $\mathcal{L}_{(-)}$=1,9V et $\mathcal{L}_{(+)}$=2,9V à Vcc=5V,

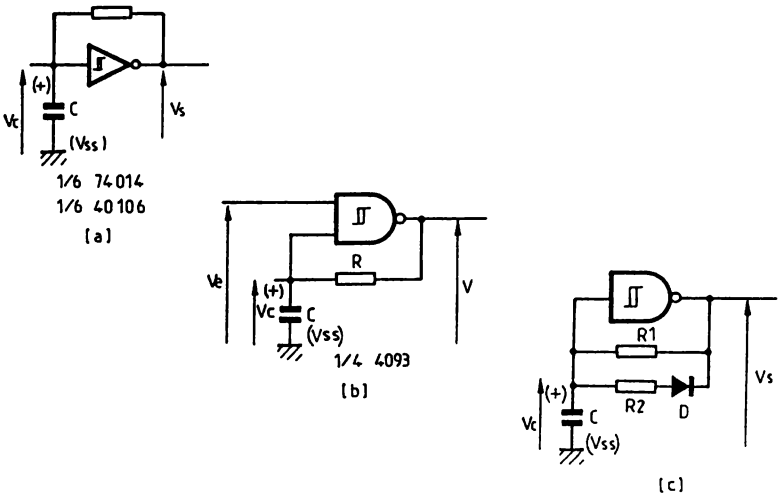
$t_1=0{,}39\cdot R\cdot C$ et $t_2=0{,}42\cdot R\cdot C$ donc une période de $0{,}8\cdot R\cdot C$ environ

A noter, que dans ces types de montages à 'trigger', le condensateur C peut être polarisé, mais on évitera des capacités trop élevées car il faudra que la porte accepte les courants de charge et de décharge nécessaires à C. De même, on évitera les condensateurs électrochimiques à cause de leur courant de fuite non négligeable dans certains cas !

Si l'astable est alimenté avec Vss non-nul, il convient de relier le condensateur C, non plus à la masse, mais à Vss !

Le montage [b] utilise une porte NON-ET trigger. Si Ve="1", elle est équivalente à un inverseur-trigger et le fonctionnement est le même que précédemment. Si, Ve="0", Vs est forcé à "1" quel que soit l'état de Vc. Au démarrage, la première demi-période est rallongée et au blocage, la dernière demi-période peut être incomplète. La période vaut toujours $T=0{,}8\cdot R\cdot C$ environ et le rapport cyclique environ 50 %.

Le montage [c] présente une méthode parmi d'autres, pour modifier le rapport cyclique. Une diode va modifier l'élément résistif R avec les mêmes propriétés que la figure 3-8. Vous pourrez bien-sûr, inverser D pour inverser le rapport cyclique, ou préférer un montage en série. Pour une fréquence désirée, il sera nécessaire de définir le rapport cyclique pour pouvoir définir les éléments R_1, R_2 et C.



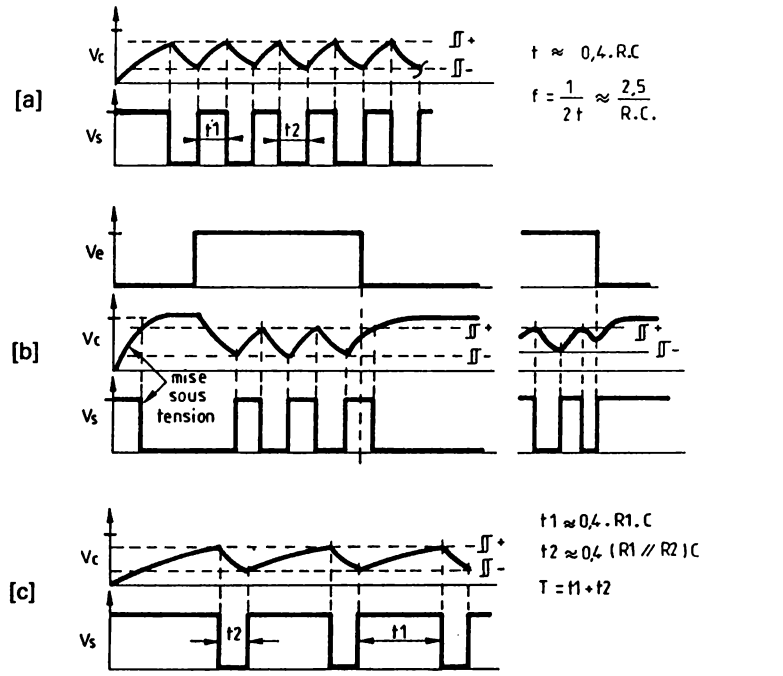


Fig. 3-12. — Oscillation avec Portes-'trigger'

3-13. — Contrôle d'un oscillateur-trigger simple

Comme pour la figure 3-6, il suffit d'une diode pour bloquer un astable à portes à seuil. Le montage [a] est inhibé avec un état "0" en EN (Ve=0V) et la sortie est donc à "1". Le montage [b] est bloqué pour EN="1" et Vs="0". Dans les autres cas, la sortie oscille normalement avec toujours un délai pour être en régime établi au moment de la validation et une inhibition du signal de sortie prioritaire à l'état de charge de C.

La commande en Ve doit pouvoir fournir des niveaux corrects (Vdd ou Vss) capable de délivrer un courant suffisant pour réinitialiser C. Pour ces raisons, il faudra éviter d'utiliser un condensateur de capacité trop élevée !

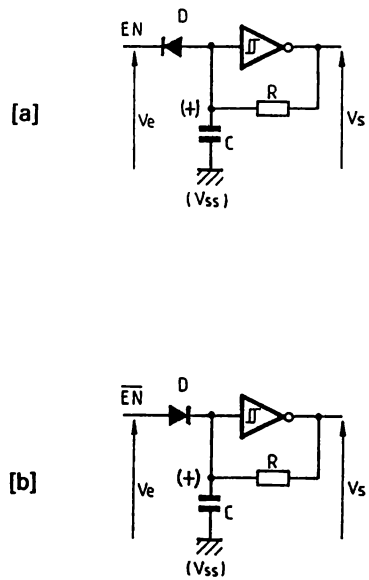


Fig. 3-13. — Contrôle d'un oscillateur Trigger à inverseurs

3-14. — Astable à bascule à seuils

Il faudra se reporter au chapitre Logique séquentielle/Registres pour plus de détails sur le fonctionnement d'une bascule de type $\overline{RS}$. Les entrées Ve et Vc correspondent respectivement aux entrées de mise à "0" et mise à "1" pour un état de commande au niveau "0" et pour les sorties Vs et son complément $\overline{Vs'}$.

Considérons Vs="1" et Ve="1". $\overline{Vs'}$ vaut "0" et maintient C déchargé, donc Vc="0" qui est la mise à "1" de Vs. L'état défini comme hypothèse est stable et correspond à l'état de repos. Si Ve passe à "0", $\overline{Vs'}$ passe à "1" et bloque D. Vs valait encore "1" car C était déchargé, mais il se charge à travers R. Le seuil haut ($\mathcal{L}_{(+)}$) atteint, Vs="0" et maintient $\overline{Vs'}$ à "1". La diode reste bloquée. C se décharge maintenant, jusqu'à atteindre le seuil bas ($\mathcal{L}_{(-)}$). L'oscillateur est donc validé et le reste tant que Ve="0". Si Ve repasse à "1", $\overline{Vs'}$ basculera que si Vs vaut "1" et bloquera l'oscillation par D. L'oscillateur est donc synchronisé pour conserver la dernière impulsion égale à celle en régime établi. On notera que la sortie $\overline{Vs'}$ n'est pas le complément de Vs lors de l'oscillation, mais uniquement au repos. Les chronographes lèveront toute ambiguïté à la compréhension du principe.

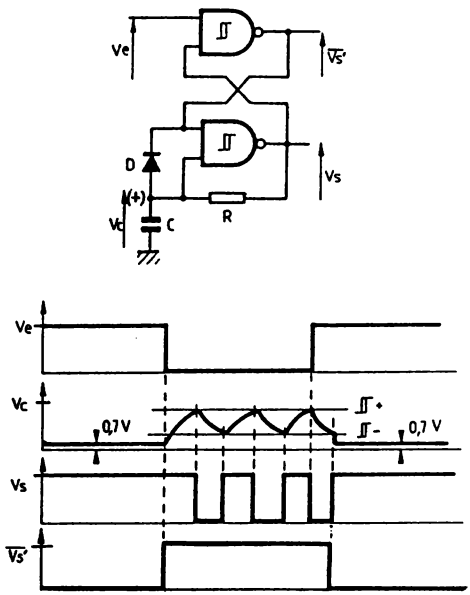


Fig. 3-14. — Astable à bascule à seuils.

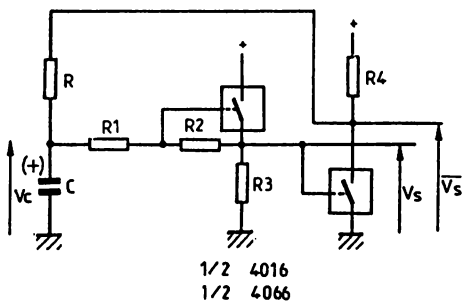
3-15. — Astable à portes analogiques

On se reportera au chapitre VI pour des explications plus détaillées sur le principe de fonctionnement d'un détecteur à deux seuils ('trigger') à l'aide d'une porte analogique, type 4016,4066. Il suffit de savoir que Vs passera à "0" si Vc dépasse le seuil haut, $\mathcal{\Pi}_{(+)}$, et à "1" si Vc est inférieur au seuil bas, $\mathcal{\Pi}_{(-)}$. Pour éviter des calculs trop complexes, il faudra respecter ces hypothèses :

$R_4 \ll R$ → $t_1 = t_2$
$R_3 \ll R_1 + R_2$ → validité des seuils
$R_1 + R_2 \gg R$ → pas d'influence sur la charge de C
$Ron \ll R_3$, R_4 et $Roff \gg R_3$, R_4 et $V_{seuil} = Vcc/2$

alors,

$$\mathcal{\Pi}_{(-)} = V_{seuil} - (R_1/R_2)\cdot(Vcc - V_{seuil}) = (Vcc/2)\cdot(1-(R_1/R_2))$$
$$\mathcal{\Pi}_{(+)} = V_{seuil}\cdot(R_1+R_2)/R_2 = (Vcc/2)\cdot(1+(R_1/R_2))$$



R_1 : 390kΩ
R_2 : 680kΩ
R_3 : 4,7kΩ
R_4 : 4,7kΩ
R : 68kΩ
C : 0,1µF
Vcc : 10V
seuils : 2,1V et 7,8V

Fig. 3-15. — Astable à portes analogiques

L'autre commutateur analogique joue le rôle d'inverseur logique. Si Vs="1", $\overline{Vs}$="0" la porte étant fermée. Si Vs="0", $\overline{Vs}$="1", niveau haut fixé par R_4. Attention au courant dérivé ! Les sorties sont à "haute impédance". Si $\overline{Vs}$="1", C se charge à travers R+R_4 (de $V\mathcal{\Pi}_{(-)}$ à $V\mathcal{\Pi}_{(+)}$). Les sorties basculent, $\overline{Vs}$="0", C se décharge dans R (de $V\mathcal{\Pi}_{(+)}$ à $V\mathcal{\Pi}_{(-)}$).

Expérimentez les valeurs mentionnées (à Vcc=10V, les seuils sont proches de 2,1V ; 7,8V ; et f ≈ 64 kHz)... n'oubliez pas de conserver une charge en sortie de haute impédance, à défaut il suffira de faire suivre d'un 'buffer'. Ce montage est une astuce si dans votre réalisation, il vous reste deux portes analogiques libres, et vous utilisez un autre circuit uniquement pour créer un astable.

3-16. — Astable bi-fréquence (VCO tout-ou-rien)

L'apparence est trompeuse ! R1 ne joue pas le rôle de r, comme le montage de la figure 3.3. Pour comprendre le principe, il faut savoir que seule une diode sera câblée, selon le signal de commande. Considérons D_1 câblée. Si D_1 est bloquée, on néglige R_3. Alors R_1, R_2 constitue un détecteur de seuil avec les deux portes inverseuses. Le seuil de l'oscillateur est donc fixé par R_1, R_2 et non plus le seuil de la première porte. Si $R_1 \gg R$, la fréquence d'oscillation ne sera pas modifiée, sinon le calcul sera complexe. Les limites de charge et décharge du condensateur sont donc imposées par les deux seuils définis par R_1 et R_2.

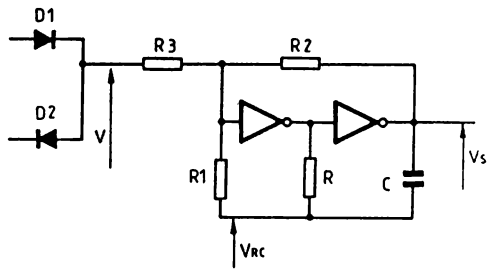


Fig. 3-16. — Astable bi-fréquence

Si D_1 conduit, R_3 modifie les deux seuils définis par R_1 et R_2. Les seuils du détecteur de seuil sont alors définis pour l'équation :

$$V_{RC}=V_{seuil}\cdot(1+(R_1/R_3)+(R_1/R_2))-Vs\cdot(R_1/R_2)-Vcc\cdot(R_1/R_3)$$

avec : V_{seuil}=seuil porte (environ Vcc/2) et Vs=0V ou Vcc

si R_3 infinie (diode bloquée), $V_{RC}=V_{seuil}\cdot(1+(R_1/R_2))-V_s$ ce qui est la formule du détecteur de seuil normal ! Le seuil haut est défini pour Vs=0 et le seuil bas pour Vs=Vcc. Ces seuils dépendent bien-sûr de qui sera de préférence égal à 0 ou Vcc (tout-ou-rien). La détermination des éléments sera assez complexe. Aussi expérimentez :

R_1 = 100 kohm R_2 = 1 Mohm R_3 = 220 kohm R = 47 kohm et C = 0,1 μF

alors les seuils seront environ :

0,45·Vcc et 0,55·Vcc (D bloquée ou sans R_3)

0,32·Vcc et 0,22·Vcc (V=Vcc)

0,78·Vcc et 0,68·Vcc (V=0)

Il est possible d'omettre R_3 pour obtenir un astable simple un peu plus performant.

3-17. — Oscillateur bi-fréquence

On réalise avec une porte NON-ET à deux entrées 'trigger', deux oscillateurs de fréquences différentes selon le montage classique. Un inverseur inhibera un réseau RC en forçant l'entrée correspondante de la porte à "1". Par exemple pour la position —f1—, Vc_2=Vcc et R_1C_1 est le réseau permettant l'oscillation. R_2 constituera une charge entre la sortie et Vcc. Pour —f2—, il suffit d'intervertir les indices. Comme R_1 et R_2 peuvent charger la sortie, on évitera des valeurs trop faibles. On évitera des valeurs trop élevées pour R_1, R_2 ou trop faibles pour C_1, C_2 si le commutateur est éloigné (attention au câblage imprimé !).

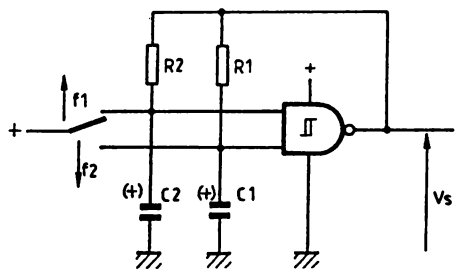


Fig. 3-17. — Oscillateur bi-fréquence

Le signal de sortie aura un rapport cyclique d'environ 50 %. Il est à noter qu'au moment de la commutation, il existe une position intermédiaire où les deux réseaux RC sont validés. On aura donc un signal de sortie à rapport cyclique quelconque et de fréquence non constante.

3-18. — Oscillateur bi-fréquence synchronisé

Et voici le remède au montage précédent. Pour éviter cette position intermédiaire, la commande est réalisée par une bascule D et des diodes "d'isolement". Les deux sorties de la bascule sont complémentaires et mémorisent l'état de l'entrée D au moment du front montant du signal de sortie. Ainsi le changement de fréquence ne pourra se faire qu'à cet instant précis. Comme l'entrée D est mémorisée, l'état de l'inverseur est important uniquement au front montant.

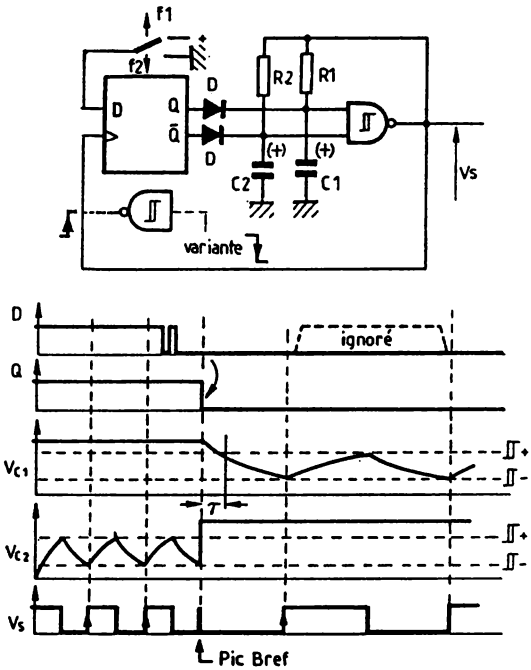
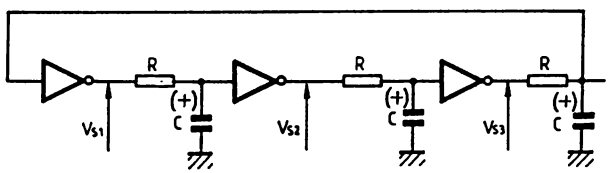


Fig. 3-18. — Oscillateur bi-fréquence synchronisé

Attention si vous travaillez avec des fréquences faibles, il faudra au maximum une période avant le changement de fréquence. Les diodes permettent de bloquer le réseau RC à l'état "1" et sont sans effet (bloquées) à l'état "0" sinon le montage n'oscillerait pas. La variante proposée permet de déclencher sur le front descendant du signal de sortie. On notera le pic bref (≈400ns) en sortie au moment de la commutation des fréquences et le retard du signal de sortie (*T*) pour être en régime établi (rapport cyclique 50 %).

3-19. — Oscillateur à rotation de phase

Chaque réseau RC retardera le signal et la porte inverseuse le complémentera et le fera suivre au réseau RC suivant, et finalement se rebouclera. Cet oscillateur n'est pas très stable, car à la mise sous tension, les trois condensateurs sont déchargés et mettront un certain temps à rentrer dans le régime établi car les seuils de basculement ne sont pas identiques. La première porte qui bascule mettra son réseau RC de sortie en décharge, mais si ce dernier atteint à cet instant là le seuil, la porte suivante bascule alors qu'elle ne devrait pas... Dommage car ce montage permettrait de disposer de trois sorties déphasées. La période vaut environ $2,1 \cdot R \cdot C$ mais il est possible de prendre des valeurs différentes pour les trois réseaux RC (période$=0,7 \cdot R_1 \cdot C_1 + 0,7 \cdot R_2 \cdot C_2 + 0,7 \cdot R_3 \cdot C_3$).



$$f \approx \frac{1}{2,1 \cdot R \cdot C}$$

Fig. 3-19. — Oscillateur à rotation de phase

3-20. — Oscillateurs à "bascule-tampon"

Pour éviter le "bruit" de commutation de l'astable de la figure 3-3, sans adopter la solution de la figure 3-5, on précède la sortie d'une bascule. Ainsi un niveau bas en V_2 force Vs à "1" et Vs' à "0" et un niveau bas en V_1 force Vs à "0" et Vs' à "1". Comme V_2 est le complément de V_1, la bascule fonctionnera avec des états stables. Le montage fonctionne comme si C était relié en V_2, mais l'avantage est son "isolement" par rapport à Vs et V_2 (qui se répercuterait sinon sur Vs). Il subsiste bien sûr le bruit dû à l'alimentation commune des portes, mais les parasites en sortie au passage à zéro sont réduits.

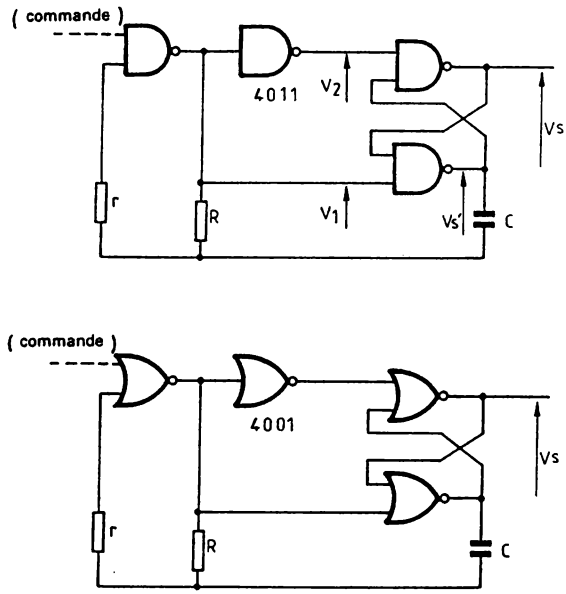


Fig. 3-20. — Oscillateur à "bascules-tampon"

Comme la bascule utilise des portes à deux entrées, en utilisant les portes d'un même circuit, il est possible d'affecter le montage d'une entrée de contrôle. Comme il existe deux types de bascules, deux types de montages sont possibles, à portes ET-NON et OU-NON.

3-21. — Oscillateur à bascule et double réseau RC

Avec deux réseaux différentiateurs et deux portes inverseuses, on réalise une pseudo-bascule. On croit d'ailleurs en reconnaître la structure. Considérons Q="1" et son complément $\overline{Q'}$="0". Au moment où Q passe à "0", $\overline{Q'}$ passe à "1" et le point B passe instantanément à 0V. C2 se charge par R2 jusqu'à atteindre le seuil de l'état "1" qui fera passer $\overline{Q'}$ à "0". On retrouve donc un état "0" en A le temps de la charge de C_1 par R_1. Et le cycle se répète. Suivant le rapport R_1C_1 et R_2C_2, on agira sur le rapport cyclique, et aussi sur la fréquence car la période vaut $0{,}7\cdot(R_1\cdot C_1+R_2\cdot C_2)$.

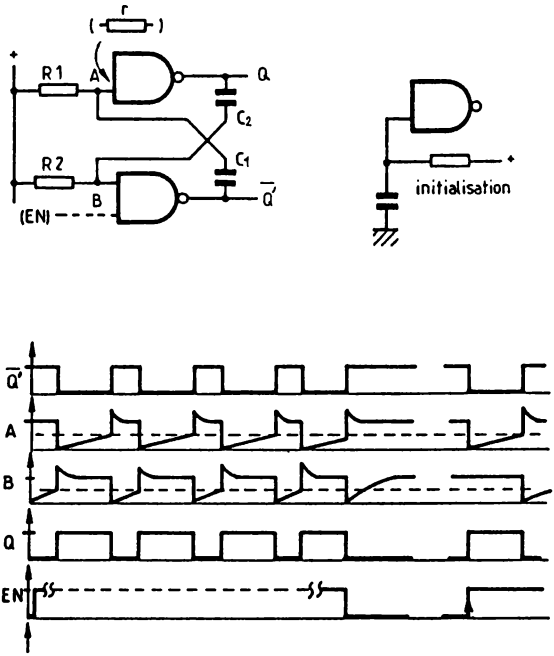


Fig. 3-21. — Oscillateur à bascule

Si on utilise des portes NON-ET à deux entrées, il est possible d'utiliser une entrée libre en commande de validation ou en initialisation à la mise sous-tension, comme indiqué.

3-22. — Multiplication de fréquence pour piézo

Multiplication de fréquence est un bien grand mot pour cette commande de transducteur sonore de type piézoélectrique. On reconnaît deux astables à 'trigger'. La diode décharge très rapidement (par sa résistance interne faible quand elle conduit) le condensateur, ainsi ce sont des impulsions très brèves, d'état "0" que l'on trouve en sortie. Ces impulsions vont commander une bascule de type $\overline{RS}$ à portes NON-ET, pour positionner ses sorties complémentaires, soit à "0", soit "1", comme indiqué sur les chronographes. Si le hasard veut que deux impulsions de commande coïncident, V sera égal à 0V, sinon V sera soit positif, soit négatif et vaudra 2 Vcc en valeur absolue ; ceci car un cristal piézoélectrique doit être alimenté avec un signal alternatif ! Le cas parasite où V=0 sera inaudible car les impulsions sont très brèves. Comme on utilise des portes à deux entrées, on pourra disposer d'une commande de validation (à "1") des deux oscillateurs et donc du signal alternatif aux bornes de piézo.

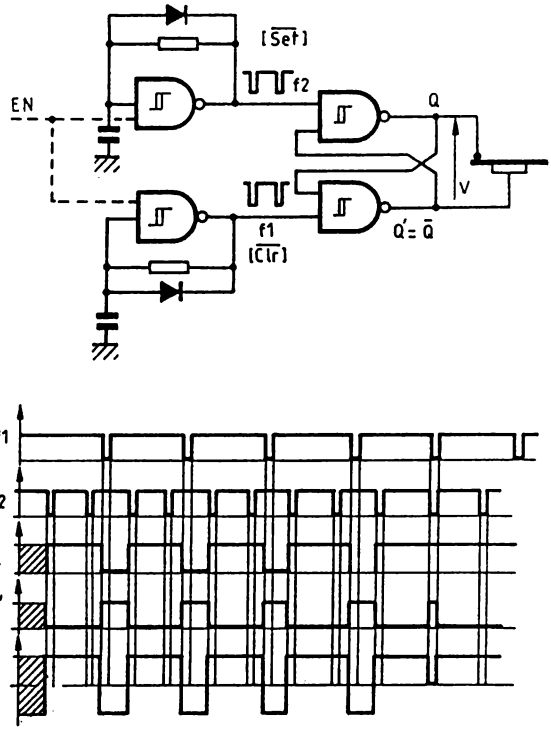


Fig. 3-22. — Multiplication de fréquence

3-23. — Commande d'horloge synchronisée

Ce montage a l'avantage de générer des impulsions d'horloge lorsque le signal de validation est actif, tout en garantissant la largeur de l'état actif "0". L'horloge est réalisée avec un astable à 'trigger'. La fréquence est déterminée par R et C (T=0,8·R·C). Le signal V_{CLK} échantillonnera EN, le signal de validation. Si EN="1", Q passe à "1" au front montant de V_{CLK} et reste à cet état jusqu'au prochain front montant.

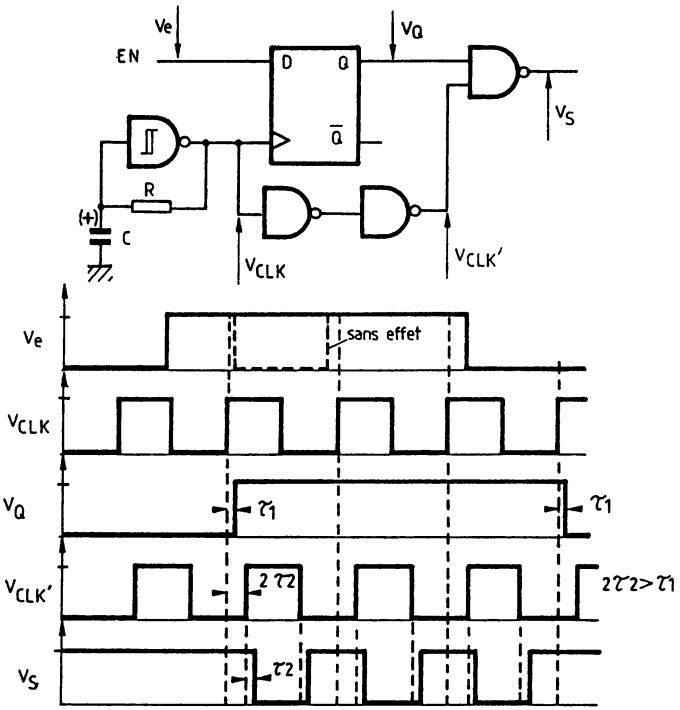


Fig. 3-23. — Commande d'horloge synchronisée

On retarde V_{CLK} pour compenser le temps de propagation de la bascule et éviter des 'glitches' en sortie. La porte NON-ET délivrera un état "0" en sortie si Q="1", pendant l'état "1" de l'horloge. Si EN passe à "0", l'impulsion en sortie sera tout de même générée car l'inhibition se fera au front montant suivant. Si on désire des impulsions à l'état "1" en sortie, il suffira d'utiliser une porte ET en sortie, ou de faire suivre la porte NON-ET d'un inverseur. La commande EN peut être réalisée par un simple interrupteur car la bascule D fait office d'antirebond, si la fréquence d'horloge n'est pas trop élevée.

3-24. — Commande d'un piézo par produit de fréquences

C'est un montage simple, aussi l'élément résistif r n'apparaîtra pas sur le schéma des deux astables. Les deux astables sont validés par un état "1" sur l'entrée EN. Dans ce cas les deux astables oscillent à des fréquences différentes. Vs alternera selon le produit des fréquences, entre 2·Vcc, —2·Vcc, Vcc, —Vcc et 0V. Si EN="0", les astables sont inhibés, leur sortie est à "1" et Vs=0V. Le transducteur piézo-électrique est donc muet. Comme au repos Vs=0V, il est possible de remplacer le transducteur piézo-électrique par un haut-parleur d'impédance élevée (> 30 ohms). La figure 3-24b présente la variante avec un 4001 (en actif à "0", Vs=0V au repos).

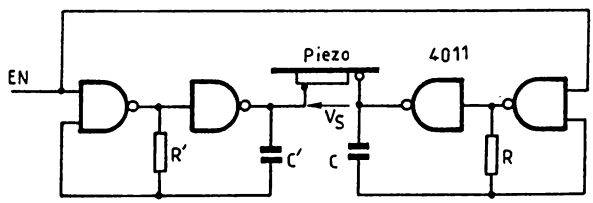


Fig. 3-24a. — Commande d'un piézo par produit de fréquences

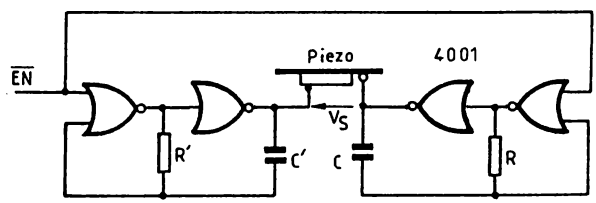
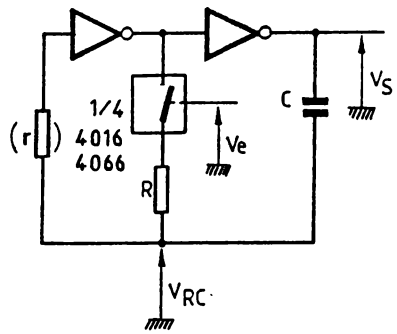


Fig. 3-24b : variante à 4001

3-25. — Modulation d'astable simple

A l'aide d'une porte analogique de type 4016,4066, il est possible de "moduler" la période (et la fréquence) du signal de sortie d'un astable du type de la figure 3-3. Si Ve="1", la porte analogique est fermée et équivaut à une résistance faible ($R_{on} < 500$ohms) et C se chargera et déchargera dans R. Si Ve="0", la porte équivaut à un circuit ouvert ($R_{off} >> 1$Mohm) et C conservera sa charge. En modulant en fréquence la commande Ve, on agira sur la charge et décharge de C et donc sur la période du signal de sortie. Il suffit de regarder les chronographes pour compléter ces explications. La seule condition à respecter est de dimensionner R entre les valeurs limites R_{on} et R_{off} de la porte analogique. Noter la position de R qui de plus protège la porte analogique des dépassements en V_{RC} si r est omise.



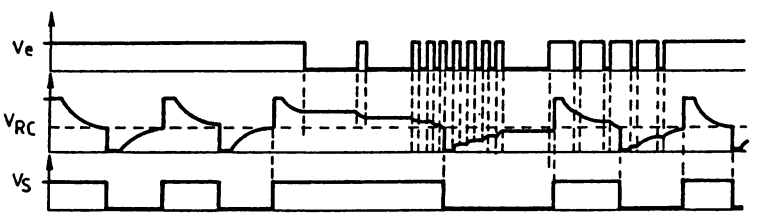
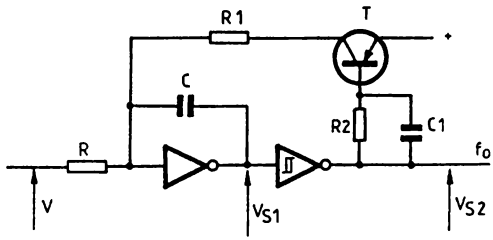


Fig. 3-25. — Modulation d'astable simple

3-26. — VCO générateur d'impulsions et de signaux en dent de scie

Un VCO est un 'Voltage Controlled Oscillator', donc un oscillateur dont la fréquence est déterminée par la tension qui lui est appliquée en entrée. La première porte fonctionne en intégrateur (régime linéaire). Considérons T bloqué, alors Vs_1 atteint le seuil haut de la porte 'trigger', Vs_2 passe à "0" et le transistor T se sature. C_1 accélère cette saturation. R_1 décharge C très rapidement ($R_1 << R$) Au moment où Vs_1 atteint le seuil bas de la porte 'trigger', Vs_2 repasse à "1" et bloque T. Et le cycle se répète. On comprend que le temps où Vs_2 est à "0" est très court. Si Ve varie, le temps de montée de la rampe varie proportionnellement et donc la durée de l'état "1".



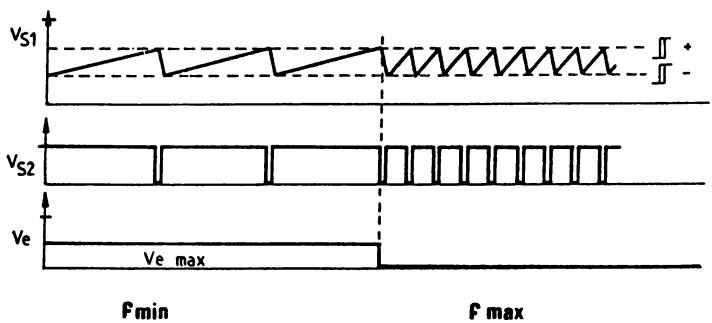


Fig. 3-26. — Générateur d'impulsions et VCO

Vs_1 évolue de $\Lambda_{(-)}$ à $\Lambda_{(+)}$, ses bornes, linéairement et si on veut l'exploiter, il faudra utiliser un ampli-opérationnel le cas échéant. Vs_2

sera 0V ou Vcc. Plus R_1 est faible, plus l'état "0" en Vs_2 est court et plus la fréquence de sortie peut être élevée. Si Ve=0V, la fréquence est maximum ; Ve croît, la fréquence diminue. L'oscillation est stoppée quand Ve approche le seuil de la porte inverseuse, soit environ 0,5·Vcc. Comme le signal en Vs1 est linéaire, la période vaut : $T=R\cdot C\cdot \Delta s/(\Delta s - Ve)$ avec $\Delta s=(\angle_{(+)})-(\angle_{(-)})$.

3-27. — Oscillateur à quartz

Voici un des plus simples oscillateurs à quartz. On peut utiliser un nombre impair de portes inverseuses, mais il faudra tenir compte du temps de propagation suivant le quartz utilisé car la double somme des temps de propagation fixe la fréquence maximum d'oscillation. Le quartz forme avec les deux condensateurs, un réseau de contre réaction en PI à déphasage de 180°.

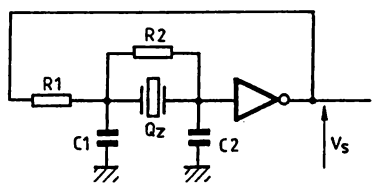


Fig. 3-27. — Oscillateur à quartz

La fréquence de résonance parallèle du quartz est celle principalement employée avec les circuits CMOS. Le choix des éléments est complexe et dépend du quartz choisi. Les composants sont de l'ordre de [R_1:10kohm C_1:33pF aj. C_2:10pF] pour un quartz de 32768Hz et R_2 est déterminée par la pratique ou omise. On se reportera au chapitre VII pour plus de détails. Le signal de sortie est carré, mais à des féquences élevées, il se rapproche plus d'un signal pseudo-sinusoïdal.

3-28. — VCO large plage

On utilise en plus des circuits CMOS un amplificateur opérationnel très courant. Celui-ci fait partie d'un boîtier comprenant quatre ampli-op's identiques, pouvant être alimenté en mono-tension, en l'occurence le LM324, ou équivalent (TL074,...), qui a de plus l'avantage d'être économique.

Par les propriétés de l'ampli-op, on retrouve aux bornes de R_1, V_{R1}, recopie de Ve. Le courant qui traverse R_1 est le même que I et vaut donc : $I=Ve/R_1$ Les diodes D_1, D_2, D_3 limitent la tension maximum Vc à moins de 1,2V ($3 \cdot Vd - V_{BE} + V_{CEsat}$), donc en dessous du seuil bas de la porte trigger, pour garantir l'oscillation du montage.

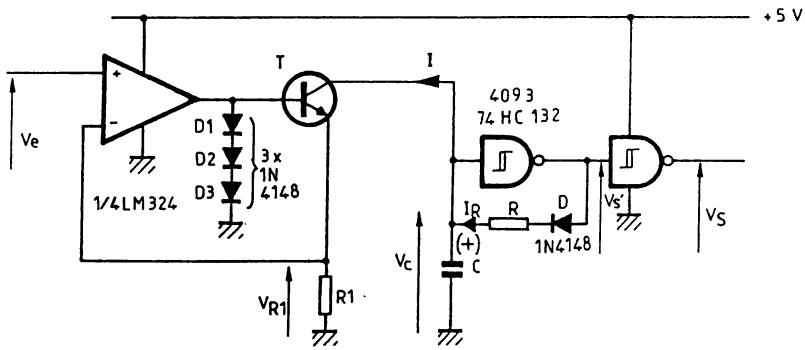


Fig. 3-28. — VCO large plage

La porte 'trigger' autorise la charge de C par R uniquement pour un état "1" sur sa sortie Vs', donc pour $Vc < \mathcal{\Pi}_{(+)}$. Voyons donc le fonctionnement : A la mise sous tension, C est déchargé, Vs'="1" et Vs="0" et C se charge très vite par $I_R - I$, I_R étant dû à R (faible), D étant passante et I dû au générateur de courant constant. Quand Vc atteint le seuil haut $\mathcal{\Pi}_{(+)}$, la porte bascule, Vs passe à "0". D est bloqué et C ne peut se décharger que par le générateur de courant constant I. Quand le seuil bas $\mathcal{\Pi}_{(-)}$ est atteint (d'où la nécessité de la tension de saturation du générateur de courant constant inférieure à ce seuil bas), Vs' repasse à "1" et Vs à "0" et le cycle recommence.

En utilisant un circuit HCMOS, il est possible de monter jusqu'au 20 MHz au lieu de 1 Mhz. La linéarité est de 1 % pour ve $<$ 0,1 V et croît exponentiellement pour atteindre 20 % à 1 V car on est proche de la saturation. En portant Vcc à 15V, on peut atteindre presque 4 MHz avec le 4093 (les HCMOS sont limités à 6V).

A propos d'amplificateurs opérationnels l'auteur a en préparation un ouvrage qui précisera les caractéristiques, montages et applications de ces circuits intégrés.

3-29. — VCOs avec le 4007

Il faut se reporter au chapitre IX pour plus de détails sur le 4007. L'astable est classique, hormis le transistor MOS canal N. Il fera partie des transistors compris dans le circuit ou sera un simple transistor MOS avec des portes inverseuses classiques.

Si Ve = 0V, le transistor est bloqué et sa résistance équivalente R_{off} est de plus de 10Mohm. Si Ve = Vcc, le transistor est saturé et Req = R_{on} de l'ordre de 1kohm.

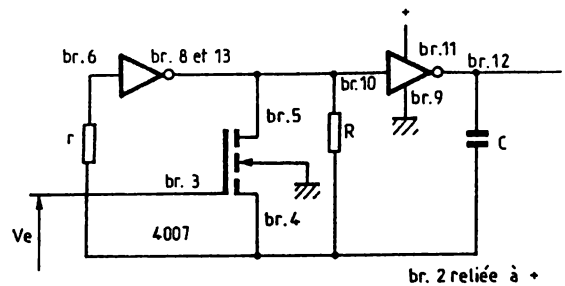


Fig. 3-29a. — VCO à MOS "flottant".

Montage [a] : Ainsi en parallèle à R, la résistance de charge/décharge de C variera de 1kohm à R, avec R<<R_{off}. La valeur de C fixe la fréquence centrale. Si la valeur de C est trop élevée, il faudra un transistor MOS "discret" et non plus intégré pour accepter un courant de drain plus élevé ! Avec C = 1nF et R = 22 kohm, la fréquence variera de 30 kHz à 120 kHz environ. Ve devra être limité aux tensions d'alimentation du circuit, soit Vdd et Vss.

Montage [b] : Cette autre méthode dérive un courant proportionnel à Ve et Rp sur la charge et la décharge de C qui a pour effet de rallonger le temps de charge et d'accélérer celui de décharge. Rp devra être dimensionnée de telle manière que l'oscillation reste possible en atteignant le seuil de basculement de la première porte inverseuse.

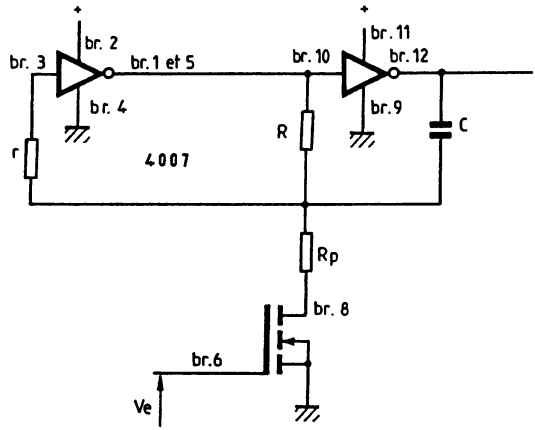


Fig. 3-29b. — VCO par dérication de courant.

La condition est Rp > 3•R. Pour dimensionner les éléments, la manière la plus simple est de choisir R et C pour la fréquence désirée et de déterminer Rp en pratique. On se reportera à la figure 3-11 qui présente le même genre de détermination pour le calcul des éléments.

3-30. — Division de Fréquence

Si on désire obtenir des fréquences plus faibles que celles de l'oscillateur de base, on peut utiliser des compteurs montés en diviseurs (chapitre VII). Mais dans ce cas, on a choisi d'utiliser un registre à décalage, l'avantage étant de disposer de signaux de même fréquence et déphasés.

L'oscillateur de base peut avoir un rapport cyclique quelconque car on déclenche sur le front montant et non sur un état, mais les niveaux doivent être compris entre Vss et Vdd. Le réseau RC assure l'initialisation le cas echeant.

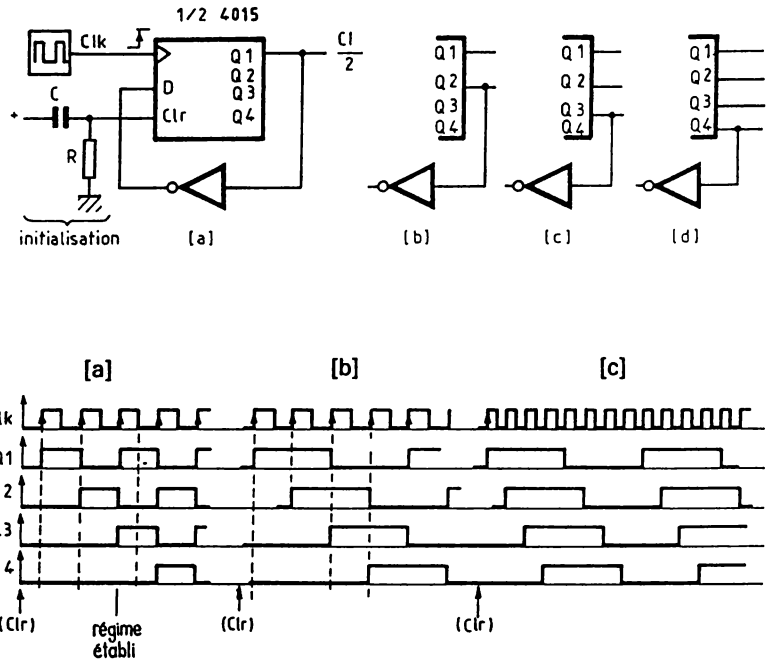


Fig. 3-30. — Division de fréquence.

Les explications seraient longues, aussi on choisira d'étudier le montage [b], les autres fonctionnant de la même manière. Il suffira de consulter les chronographes.

Considérons l'initialisation : $Q_1=Q_2=Q_3=Q_4=$"0". L'entrée D est à "1", état complémenté de Q_2. Au premier front (montant) de Clk, Q_1 passe à "1" et les autres sont inchangées. Au second front, Q_1 reste à "1", mais Q_2 passe à "1" et D passe donc à "0". Au troisième front, Q_1 repasse à "0" mais Q_2 reste à "1" et donc D="0". Au quatrième front, Q_1 reste à "1" mais Q_2 passe à "0" et le cycle se répète. Toutes les sorties, quel que soit le montage sont déphasées d'une impulsion d'horloge (ordre croissant). On pourra aussi monter des registres à décalage en cascade pour obtenir plus de sorties et des coefficients de division plus élevés.

Montage	Nb Clk/cycle	Division	
[a]	$2=2^1$	2^1	$Q_1 \rightarrow D$ 2 paires de sorties
[b]	$4=2^2$	2^2	$Q_2 \rightarrow D$
[c]	$8=2^3$	2^3	$Q_3 \rightarrow D$
[d]	$16=2^4$	2^4	$Q_4 \rightarrow D$
cascade	2^n	2^n	$Q_n \rightarrow D$

CHAPITRE IV

GÉNÉRATION DE SIGNAUX NON AUTONOME : LES MONOSTABLES

Dans le cas des monostables, c'est l'impulsion de commande en entrée qui génère une impulsion en sortie de durée constante. Il peut dans certains cas y avoir une sortie complémentaire supplémentaire et le monostable peut être déclenché sur un front ou un état.

4-1. — Antirebond simple

A la mise sous tension et si Ve="0", la diode D est bloquée, C est déchargé et la sortie Vs ="1". C se charge par R car D est bloquée, Vc atteint le seuil de la porte qui bascule et Vs ="0". C continue à se charger et atteint Vcc. Le montage est prêt à démarrer. Si Ve ="1", D conduit et décharge instantanément C et Vs ="1". Si Ve repasse à "0", Vc est inférieur au seuil de la porte et Vs reste à "1", mais D est bloquée et C se charge. Si Ve repasse à "1" avant que Vc ait dépassé le seuil, Vs reste à "1". C'est ce qui peut arriver dans le cas d'un rebond

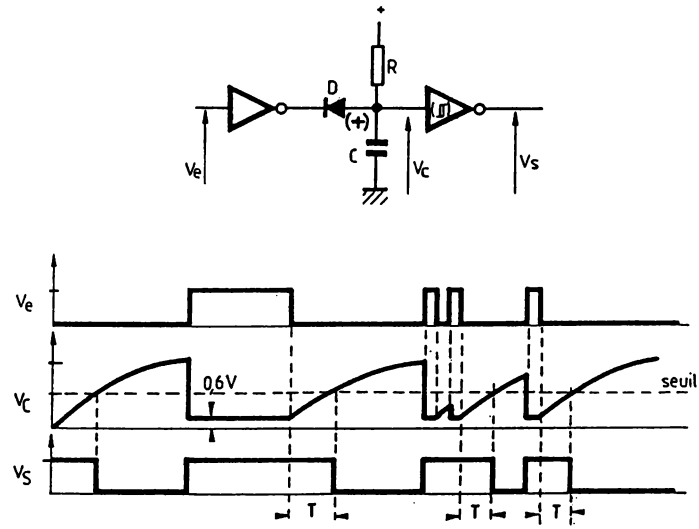


Fig. 4-1. — Anti-rebond simple

Au contraire si Ve reste à "0", C continue de se charger, Vs bascule et on se retrouve à l'état de repos quand Vc a atteint Vcc (pourtant le montage est prêt à redémarrer à tout moment par la priorité de D qui force Vc ="0".
La durée de charge de C pour atteindre le seuil vaut :

$T=R\cdot C\cdot Ln((Vcc-V_D)/(Vcc-V_{seuil}))$ avec $V_D=0,6V$ $V_{seuil}=Vcc/2$

soit environ $T=0,5\cdot R\cdot C$ à $Vcc=5V$ ou $T=0,65\cdot R\cdot C$ à $Vcc=15V$

A noter que si Ve est une impulsion de très courte durée, la durée de l'impulsion de sortie est sensiblement égale à T.

4-2. — Initialisations à la mise sous-tension

Montage [a] : à la mise sous tension, C est déchargé, donc Vc = 0 et Vs="1". Le condensateur C se charge par R. Le seuil est atteint après $T=R \cdot C \cdot Ln((Vcc-0)/(Vcc-V_{seuil}))$ soit $T=R \cdot C \cdot Ln2$ environ et Vs passe à "0", état de repos. C finit de se charger à Vcc. Si une micro-coupure apparaît, sans la diode elle passe inaperçue car C n'a pas le temps de se décharger assez pour franchir le seuil. Avec la diode, C est déchargé instantanément et une impulsion de durée T est donc générée. La diode D a aussi un rôle de protection en déchargeant C car pendant une micro-coupure, le circuit peut ne plus être alimenté.

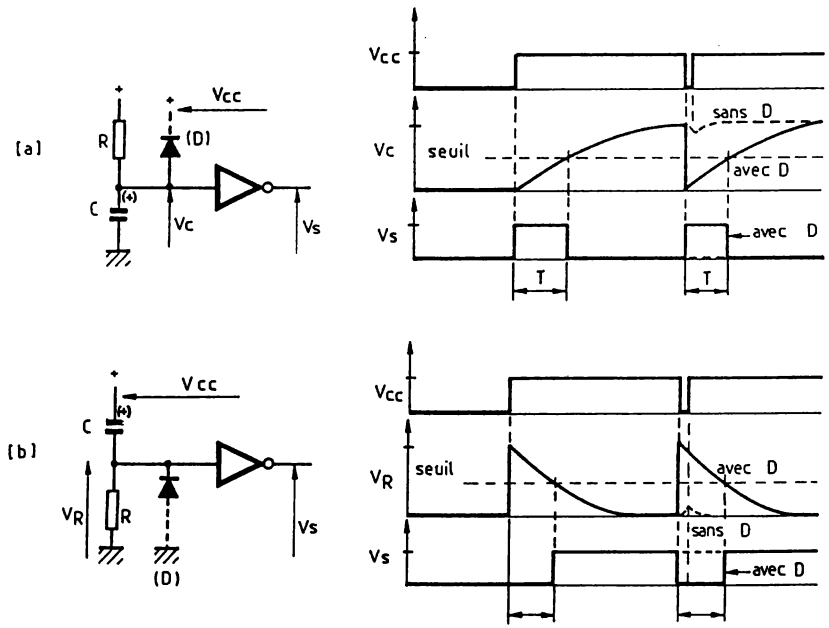


Fig. 4-2. — Initialisation à la mise sous tension

Montage [b] : le principe est le même que pour le montage [a]. Mise sous tension, C déchargé, V_R=Vcc, d'où Vs="0". C se charge et atteint le seuil après $T=R \cdot C \cdot Ln((0-Vcc)/0-V_{seuil})) = R \cdot C \cdot Ln2$ et Vs passe à "1", l'état de repos. En cas de micro-coupure, une impulsion de durée T est générée si D est câblée.

4-3. — Une simple minuterie

A la mise sous-tension, C est déchargé, Vc = "0" et donc Vs = "1". Si on appuie sur le commutateur, C est chargé instantanément à Vcc, donc un état "1" qui bascule Vs à "0". Durant les rebonds, C se décharge très peu dans R et est aussitôt rechargé.

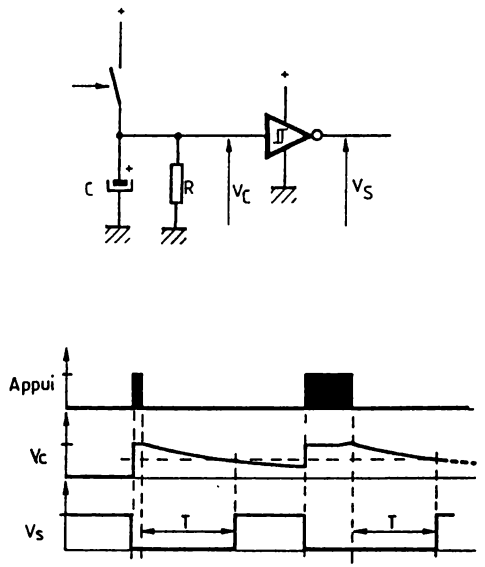


Fig. 4-3. — Minuterie simple

Si on relâche le commutateur, C se décharge dans R pendant un temps égal à T=R·C·Ln2 environ avant d'atteindre le seuil qui fera basculer la sortie de "0" à "1", l'état de repos. C continue à se décharger jusqu'à 0V, mais le montage peut redémarrer aussitôt. Si on remanœuvre le commutateur avant la fin du temps T, la temporisation est prolongée de T.

4-4. — Initialisation retardée

A la mise sous-tension, C_1 et C_2 sont déchargés. Vs_1 = "1" et donc Vs = "1". La charge de C_2 est rapide et Vc_2 atteint le seuil après T_2. Vs sera à "0" si Vs_1 = "1", ce qui est le cas tant que Vc_1 n'a pas atteint son seuil. Après T_1, Vs_1 = "0" et Vs passe à "1"

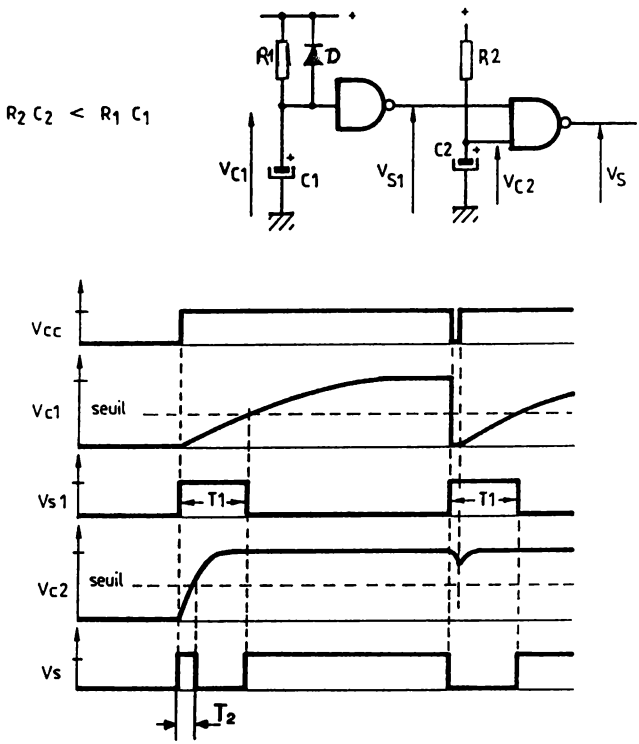


Fig. 4-4. — Initialisation retardée

L'initialisation est terminée. Si une micro-coupure apparaît, C_1 est aussitôt déchargé et Vs_1 passe à "1". Mais la charge de C_2 ne varie presque pas et reste au-dessus du seuil. Donc Vs = "0" pendant T_1 pour retrouver après son état de repos. Ce montage verra son application dans tous les systèmes à microprocesseurs.

4-5. — Réseaux dérivateurs

Un moyen simple de générer des impulsions est de dériver le signal. Montage [a] : Considérons C déchargé. Ve = "0" alors V_{RC1} = 0V et Vs_1 = "1". A l'instant où Ve passe à "1", C conserve sa charge et V_{RC1} passe à "1". La sortie bascule à "0". Mais C se charge par R, aussi V_{RC1} décroît exponentiellement. Si l'impulsion en Ve est de courte durée, le seuil ne sera pas atteint et Vs rebascule à "1" au moment où Ve repasse à "0". Si l'impulsion en Ve dure suffisamment longtemps, le seuil sera atteint à $t = R \cdot C \cdot Ln((0—Vcc)/(0—V_{seuil}))$ soit environ $R \cdot C \cdot Ln2 — 0,7\ RC$. La sortie bascule à "1". C continue à se charger à "0". C étant chargé, V_{RC1} chute de Vcc (ou de la charge de C à cet instant) et maintenant C se décharge dans R pour retrouver son état de repos. La porte est protégée des tensions hors-maximum par r et D. Si le courant dans le condensateur est faible, ces éléments peuvent être omis. On réservera donc ce montage à des impulsions d'entrée de durée supérieure à 3t pour garantir l'impulsion de durée t en sortie. Le condensateur pourra être polarisé (câbler r et D impérativement pour des valeurs élevées).

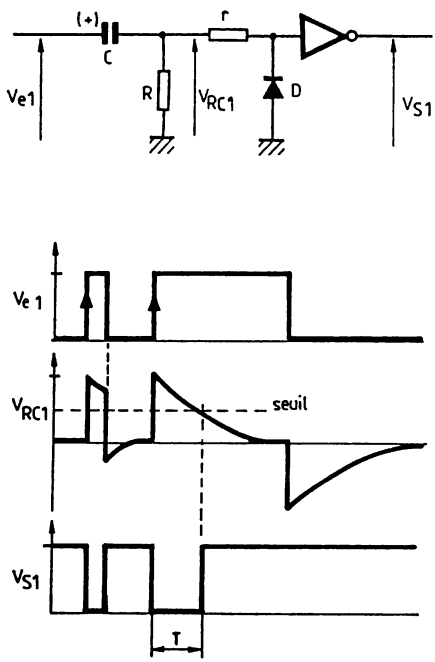


Fig. 4-5a. — Dérivateur front montant.

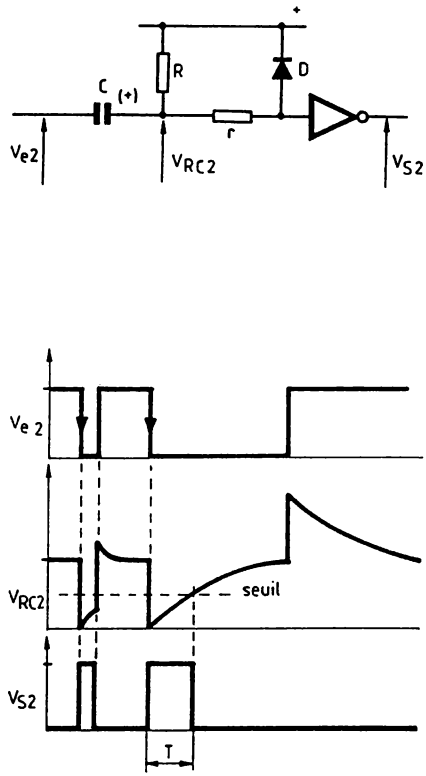


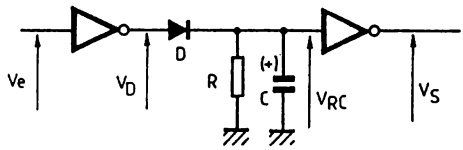
Fig. 4-5b. — Dérivateurs front descendant.

Le montage [b] fonctionne selon le même principe mais pour des états d'entrée et de sortie complémentaires. Quand Ve passe à "0", V_{RC2} passe à "0" qui bascule Vs de son état de repos "0" à "1". C se charge par R et atteint le seuil à $t = R \cdot C \cdot Ln(Vcc/(Vcc - V_{seuil}))$ soit environ $0{,}7 \cdot R \cdot C$. Vs repasse alors son état de repos. Au moment où Ve repasse à "1", V_{RC2} croît de la charge de C pour se décharger dans R et retrouver sa tension de repos après 3t environ.

4-6. — Constante de temps

Ces montages permettent de générer une impulsion de durée minimum.

Montage [a] : Au repos, Ve = "1", V_D = "0", D est bloquée, C est déchargé, V_{RC}=0 et Vs="1". Quand Ve passe à "0", $V_D$passe à "1" et force la charge de C. $V_{RC} = Vcc - V_D$ et Vs passe à "0" Vc conserve cette charge la durée de l'impulsion d'entrée. Quand Ve repasse à "1", V_D = "0", D se bloque et C se décharge dans R, mais la sortie ne bascule que lorsque le seuil de basculement est atteint. Donc après $t = R \cdot C \cdot Ln((0 - Vcc - V_D)/(0 - V_{seuil}))$, la sortie repasse à "1" et après 3t, C est déchargé. Le montage peut pourtant redémarrer dès que Vs est repassé à "1".



[a]

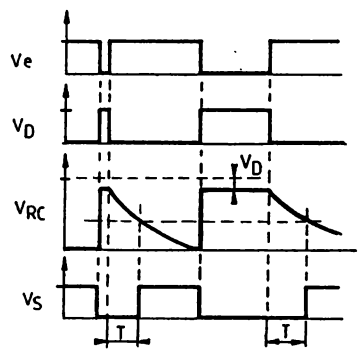


Fig. 4-6a. — Retard sur front montant.

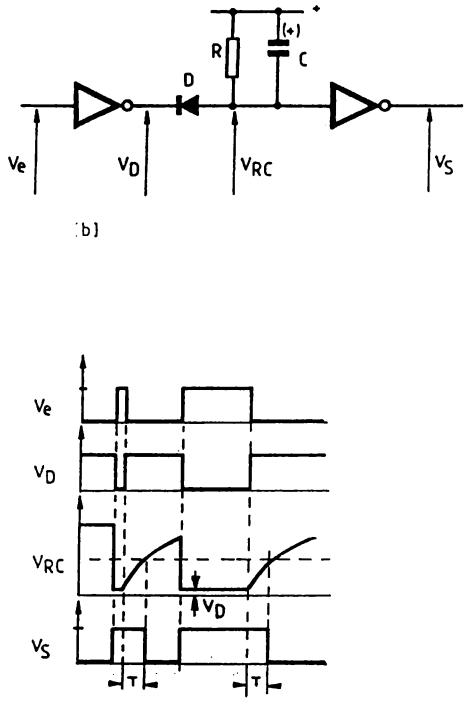


Fig. 4-6b. — Retard sur front descendant.

On utilisera ce montage pour obtenir des impulsions de durée constante en sortie à condition que l'impulsion d'entrée soit brève. Une autre application est la détection de train d'impulsions rapprochées. Dans ce cas, Vs = "0" jusqu'à la fin du train d'impulsions, après le délai t. Les impulsions devront être distantes de t au maximum. C pourra être polarisé ou non, mais sa valeur ne devra pas être trop élevée pour limiter le courant consommé sur la porte d'entrée et obtenir une charge quasi-instantanée de C. Attention aussi au fait que C conserve sa charge à la coupure de l'alimentation.

Le montage [b] fonctionne selon le même principe mais avec les états d'entrée et de sortie complémentaires.

Dans les deux cas, il est possible de remplacer la première porte, par la sortie d'un bloc logique. Les fronts de déclenchement seront donc inversés proportionnellement à V_D.

4-7. — Monostable "bâtard"

Pour délivrer une impulsion de durée constante, quelle que soit la durée de l'impulsion de commande, on associe les deux montages précédents. Le montage dérivateur transforme l'impulsion quelconque en Ve_1, en impulsion très brève ($t_1 = 0{,}7 \cdot R_1 \cdot C_1$) ou plus brève si celle d'entrée est inférieure.

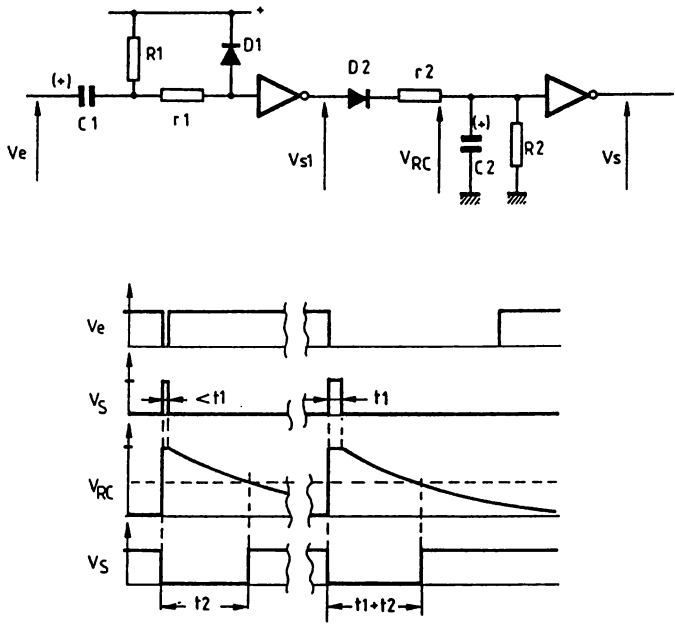


fig. 4-7. — Monostable "bâtard"

Le montage à constante de temps délivrera en sortie une impulsion de durée t_2 (cf formule fig. 4-6), à condition que $t_1 \ll t_2$. L'impulsion t_1 (ou en entrée si elle est inférieure à t_1) devra être suffisante pour permettre la charge de C_2. Le condensateur C_2, qui pourra être polarisé, n'aura pas une valeur trop élevée pour ne pas "tirer" trop de courant sur la porte, qui d'ailleurs est limité par r_2. Dans certains cas r_1, r_2 et D_1 sont facultatifs.

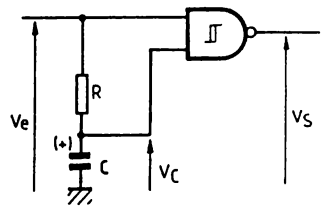
4-8. — Front montant retardé

Au repos, Vc = 0V = "0" et Vs = "1". Quand Ve passe à "1", donc au front montant, C se charge, mais Vs reste à "1". Au moment où Vc atteint le seuil haut du 'trigger', Vs passe à "0", donc après un retard $t_{(+)}$. Quand Ve repasse à "0", au front descendant, aussitôt Vs repasse à "1" et C se décharge. Pour que le montage fonctionne correctement, il faut que Ve soit à "0" au moins 3t pour la décharge complète de C et un retard $t_{(+)}$ constant.

$t_{(+)} = R \cdot C \cdot Ln((Vcc-0)/(Vcc-\Pi_{(+)}))$ environ $0{,}86 \cdot R \cdot C$ à Vcc = 5V

Si C est élevé, attention à la mise sous tension.

$$T_{(+)} = R \cdot C \cdot Ln \frac{Vcc}{Vcc-\Pi_{(+)}}$$



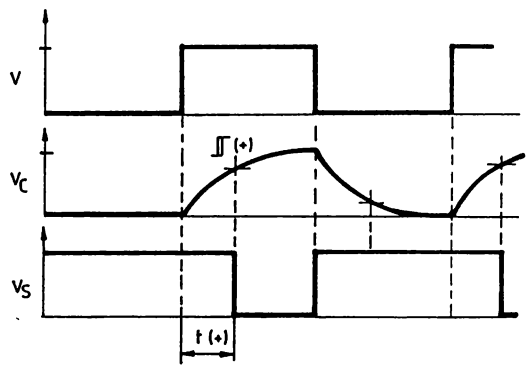


Fig. 4-8. — Front montant retardé.

4-9. — Retard sur les deux fronts

Pour retarder les deux fronts, il suffit d'utiliser un réseau intégrateur (comme précédemment) suivi d'une porte trigger (ou NON, dans un cas plus simple). Au front montant C se charge et Vs basculera à "0" après $t_{(+)}$. Au front descendant Vs basculera à "1" après $t_{(-)}$. La durée des états stables de Ve devra être suffisante pour permettre la charge et décharge complète de C. Avec une porte simple, $t_{(+)} = t_{(-)} = 0{,}7 \cdot R \cdot C$ environ. Le déphasage est donc supérieur à 180°. En remplaçant la porte inverseuse par une porte non-inverseuse, le déphasage sera inférieur à 180°.

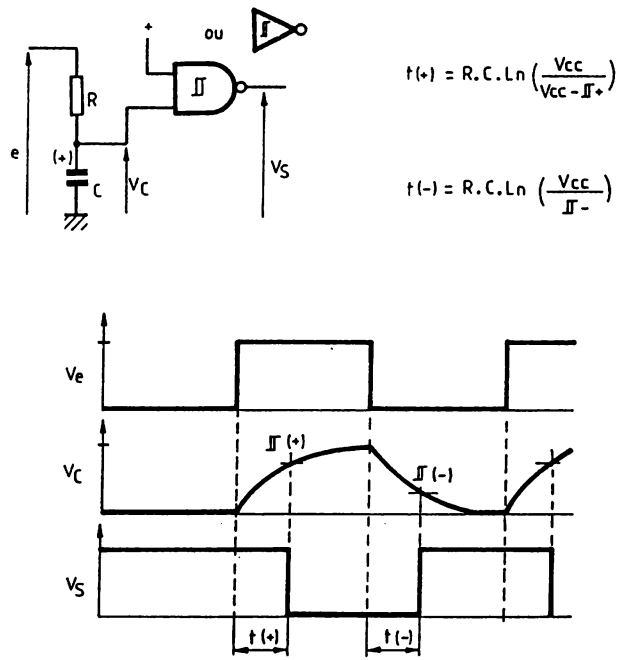


Fig. 4-9. — Retard sur les deux fronts.

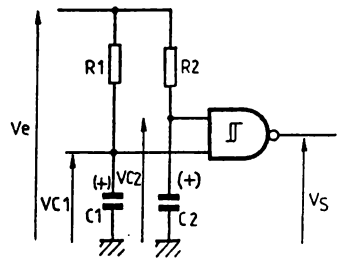
4-10. — Retards différents sur chaque front

Pour obtenir des retards différents sur chaque front, il faut utiliser deux réseaux RC intégrateurs. Au front montant, Vs sera à "0" qu'après que Vc_1 et Vc_2 soient au-dessus du seuil haut $\mathcal{L}_{(+)}$. Ce sera donc le retard le plus long qui fixe le retard sur le front montant, en l'occurence $t_{(+)2}$. Au front descendant, Vs repassera à "1" dès que Vc_1 ou Vc_2 sera inférieur au seuil bas $\mathcal{L}_{(-)}$, soit donc $t_{(-)1}$. Il faut, comme précédemment, respecter les conditions temporelles sur le signal d'entrée pour un fonctionnement correct. On notera que le front montant subira toujours un retard superieur (ou égal) au retard sur le front descendant, imposé par la porte NON-ET. Il est possible d'utiliser le montage avec une porte NON-ET classique.

$$t_{(+)2} = R_2 \cdot C_2 \cdot Ln \left(\frac{Vcc}{Vcc - \mathcal{L}_{(+)}} \right)$$

$$t_{(-)1} = R_1 \cdot C_1 \cdot Ln \left(\frac{Vcc}{\mathcal{L}_{(-)}} \right)$$

avec $R_1C_1 < R_2C_2$



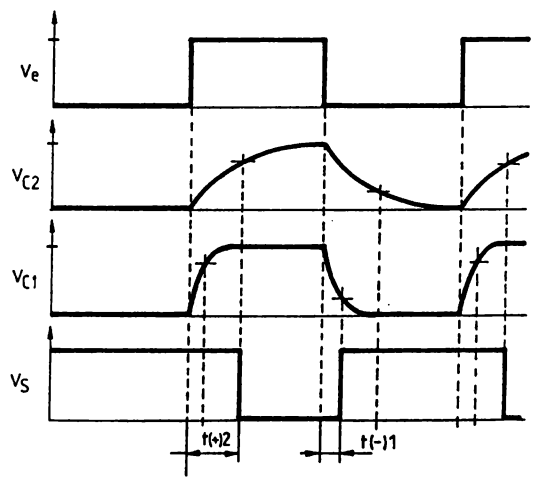


Fig. 4-10. — Retards différents sur chaque front.

En remplaçant la porte NON-ET par une porte NON-OU, le retard du front montant, t_2, sera inférieur à celui sur le front descendant, t_1. Leurs valeurs seraient : $t_2 = R_2 \cdot C_2 \cdot \text{Ln}(Vcc/Vcc—V_{seuil})$ et $t_1 = R_1 \cdot C_1 \cdot \text{Ln}(Vcc/V_{seuil})$. Si une porte 'trigger' doit être utilisée, il faudra remplacer la porte NON-OU par son équivalent logique à l'aide de portes 'trigger' (cf Fig. 4-11).

4-11. — Front descendant retardé

En utilisant une porte NON-OU, on obtient l'inverse du montage de la figure 4-8. Le front montant ne subit aucun retard, mais le front descendant est retardé de $t = R \cdot C \cdot \text{Ln}(Vcc/V_{seuil})$. Si on désire utiliser une porte à seuil, il faut passer par l'équivalent logique (variante) du NON-ET car il n'existe pas de porte NON-OU ou de porte OU "trigger" !

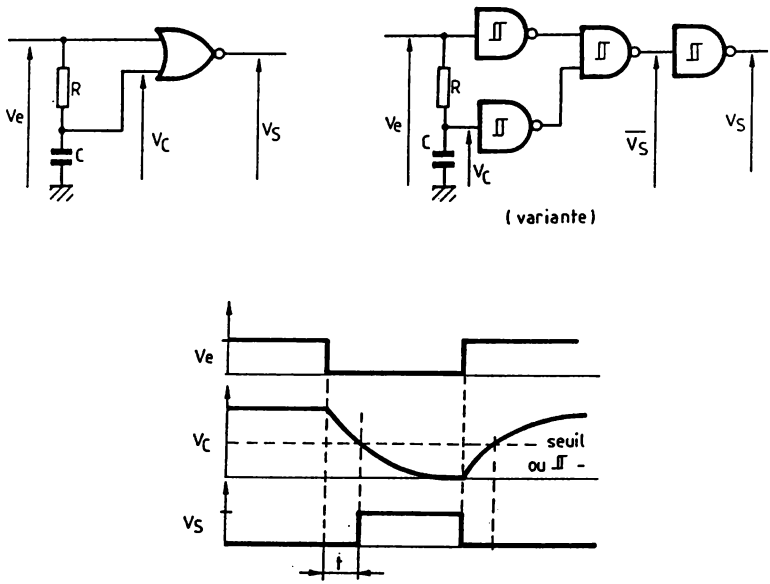


Fig. 4-11. — Front descendant retardé.

4-12. — Impulsions à chaque front

Le montage [a] délivre des impulsions "1" et le montage [b] des impulsions "0". Le principe est similaire, aussi on se limitera à analyser le montage [a].

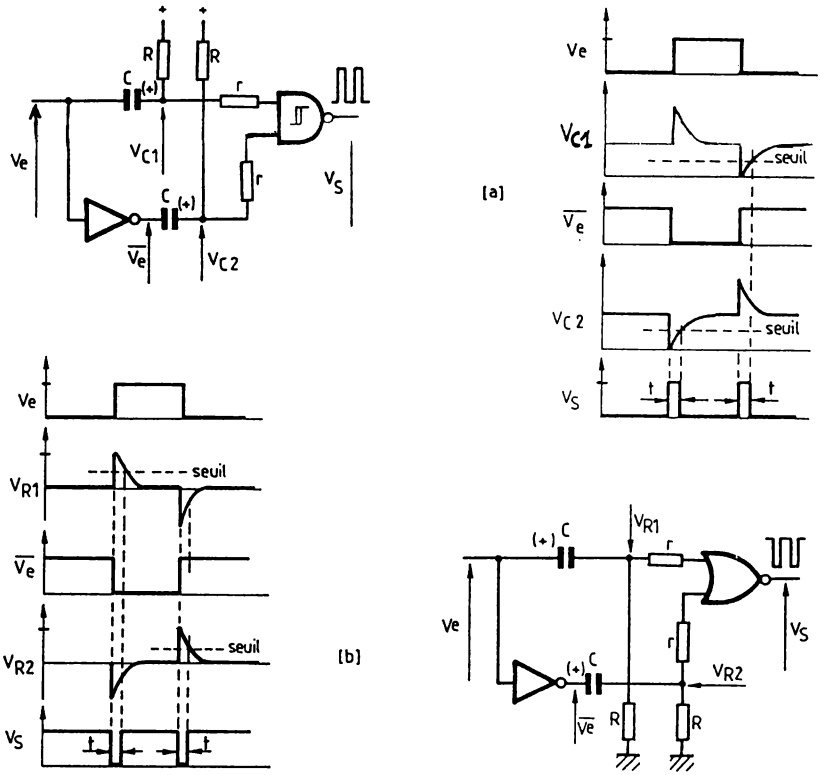


Fig. 4-12. — Impulsion à chaque front.

Ce montage est à rapprocher de la figure 4-5. Au front descendant de Ve, on retrouve en Vc_1, une chute de tension de Vcc à 0V, puis une charge exponentielle, donc un état "0" depuis le front montant, pendant t. Au front montant de Ve, un font descendant est présent en $\overline{Ve}$ et on retrouve un état "0" en Vc_2 pendant t. Comme au repos $Vc_1=Vc_2=$"1" et Vs="0", à chaque front Vs="1" pendant t. Pour un fonctionnement correct, la fréquence du signal d'entrée doit être inférieure à $1/(6 \cdot t)$ environ.

4-13. — Monostable "inconditionnel"

Au repos, Ve = "1", C_1 est déchargé, V_{RC1} = "1", Vs_1 = "0", C_2 est déchargé, V_{RC2} = "0", Vs = "1". Au front descendant de Ve, V_{RC1} chute de Vcc et son état est "0". Vs_1 = "1" et V_{RC2} fait un bond de Vcc. Son état passe donc à "1" et Vs = "0", C_1 ne se charge donc pas par R_1 mais C_2 se charge par R_2. V_{RC2} décroît donc exceptionnellement et on atteint le seuil bas après t_2.

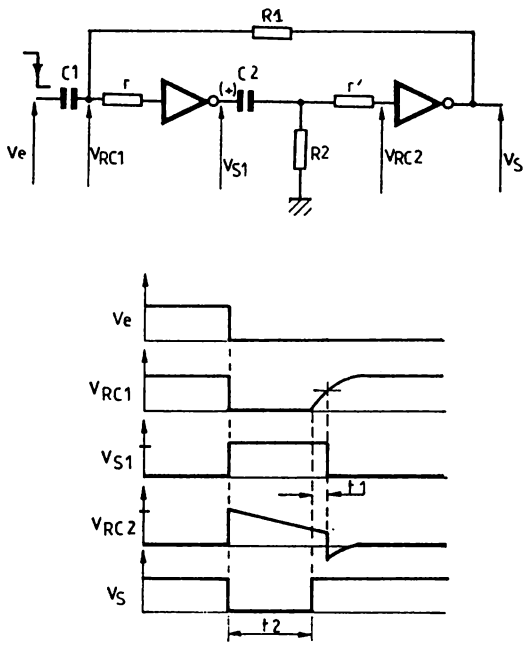


Fig. 4-13. — Monostable "inconditionnel".

La sortie bascule donc à "1" et C_1 peut se charger par R_1. Quand V_{RC1} atteint le seuil haut, Vs_1 passe à "0". V_{RC2} chute de la charge de C_2 qui ne change pas l'état de la sortie. Le montage peut redémarrer quand C_2 est totalement déchargé (pour conserver t_2 constant). Pour un fonctionnement correct, le front montant de Ve ne doit apparaître qu'après l'état de repos (C_1 et C_2 déchargés). Il y a pas de condition sur R_1C_1.

$$t_1 = R_1 \cdot C_1 \cdot Ln(Vcc/(Vcc - V_{seuil})) \text{ et } t_2 = R_2 \cdot C_2 \cdot Ln(Vcc/V_{seuil})$$

4-14. — Monostable longue durée

Au repos, Ve = "0", C_2 est déchargé, donc Vs = "1", V_{RC1} = "1" car C_1 est déchargé et D est bloquée donc la charge de C_2 n'évolue pas. Au front montant de Ve, Vs passe aussitôt à "0", de même que V_{RC1} qui conserve un état "0" pendant $t_1 = R_1 \cdot C_1 \cdot Ln[Vcc/[Vcc—V_{seuil}]]$ qui permet de garantir la charge de C_2 même si sa valeur est élevée (temps de charge limitée par courant de sortie de la porte). Après t_1, D se rebloque et C_2 se décharge dans R_2. Le seuil sera atteint après $t_2 = R_2 \cdot C_2 \cdot Ln[Vcc/V_{seuil}]$ et Vs passera alors à "1" à la condition que Ve soit à "0". D_1 protège la porte considérée du pic supérieur à Vcc lorsque Vs repasse à "1". La durée de l'impulsion de sortie vaut donc : $T = t_1 + t_2$ soit environ $(R_1C_1 + R_2C_2) \cdot Ln2$. Si $R_1C_1 << R_2C_2$, $T = R_2 \cdot C_2 \cdot Ln2$ environ, ce qui est le plus souvent le cas, même en respectant la condition pour garantir la charge de C_2. On peut donc réaliser des impulsions de très longue durée.

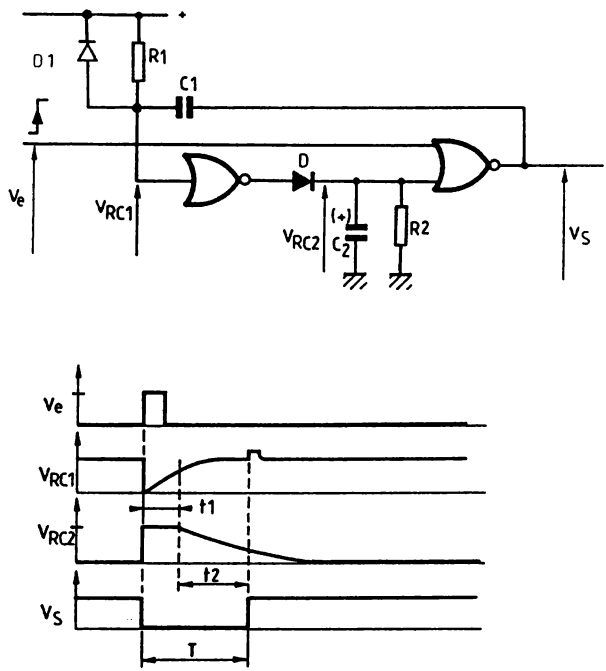
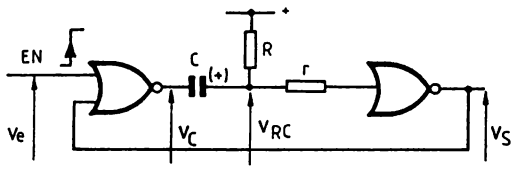


Fig. 4-14. — Monostable longue durée.

4-15. — Monostable à NON-OU

Voici le premier des deux moostables les plus connus. Au repos, Ve = "0" et Vs = "0" (hypothèse), donc Vc = "1", C est déchargé et ne se charge pas, V_{RC} = "1" et on vérifie Vs = "0" ! Au front montant de Ve, Vc passe à "0" et V_{RC} = 0V, Vs passe à "1" ce qui maintient Vc à "0", même si l'impulsion de commande repasse à "0" et aussi si un second front arrive avant la fin du "cycle" (monostable non-redéclenchable). Comme Vc = "0", C se charge donc exponentiellement par R et au moment où V_{RC} atteint le seuil, Vs bascule a "0", donc apres un temps $t = R \cdot C \cdot Ln(Vcc/(Vcc - V_{seuil}))$, soit environ $0{,}7 \cdot R \cdot C$. Pour garantir l'impulsion de sortie, le montage ne peut redémarrer que lorsque C a retrouvé ses conditions initiales. r protège la porte si Vcc dépasse 5V ou si la capacité de C est élevée. Il est possible de remplacer la porte inverseur par une porte 'trigger' et de câbler une diode en parallèle sur R_1, cathode au +, au lieu de r.



$t \approx R.C.Ln\,2$

$\approx 0{,}7\ R.C.$

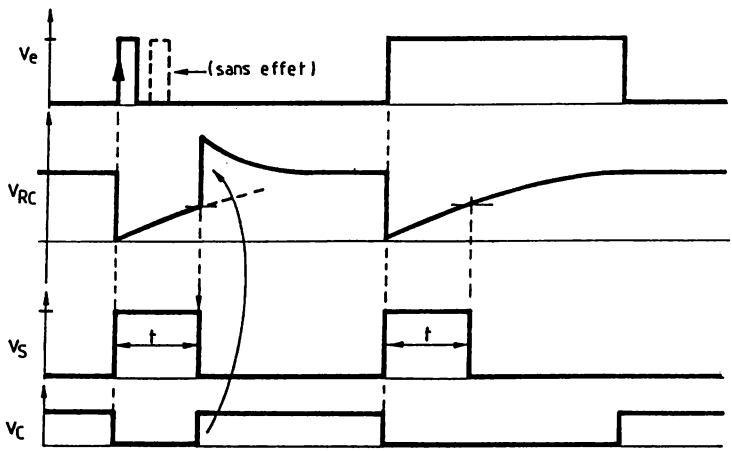


Fig. 4-15. — Monostable à NON-OU.

4-16. — Monostable à NON-ET

Voici le second des deux monostables les plus connus, à portes NON-ET cette fois. Au repos, Ve = "1" et Vs = "1" (hypothèse), donc Vc = "0", C est déchargé et ne se charge pas, V_{RC} = "0" et on vérifie Vs = "1" ! Au front descendant de Ve, Vc passe à "1" et V_{RC} = Vcc. Vs passe à "0" ce qui maintient Vc à "1", même si l'impulsion de commande repasse à "1" et aussi si un second front arrive avant la fin du "cycle" (monostable non-redéclenchable). Comme Vc = "1", C se décharge donc exponentiellement par R et au moment où V_{RC} atteint le seuil, Vs bascule à "1", donc après un temps $t = R \cdot C \cdot Ln(Vcc/V_{seuil})$, soit environ $0{,}7 \cdot R \cdot C$. Pour garantir l'impulsion de sortie, le montage ne peut redémarrer que lorsque C a retrouvé ses conditions initiales. r protège la porte si Vcc dépasse 5V ou si la capacité de C est élevée. Il est possible de remplacer la porte inverseuse par une porte 'trigger' à condition de câbler une diode en parallèle sur R, anode à la masse.

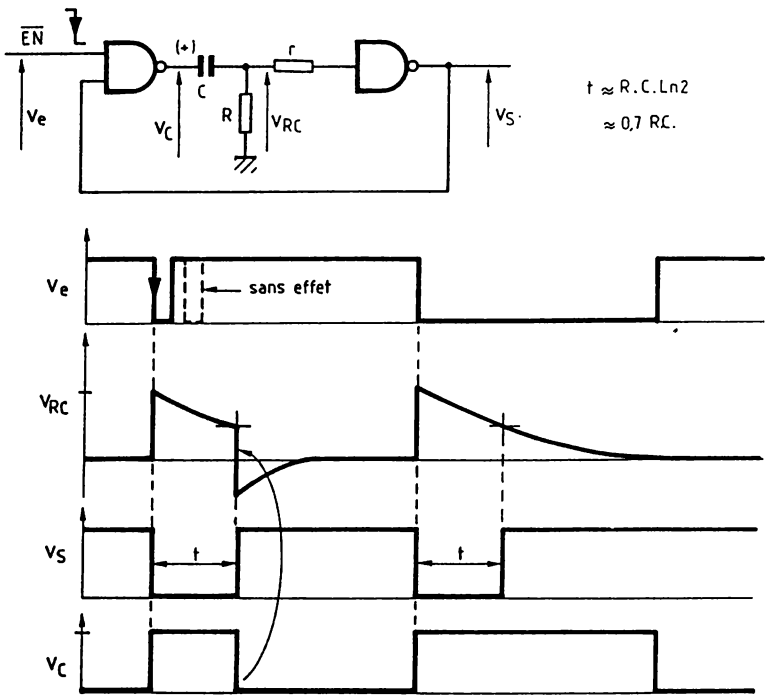


Fig. 4-16. — Monostable à NON-ET.

4-17. — Initialisation des monostables à NON-ET et NON-OU

Les deux monostables décrits précédemment peuvent être initialisés en utilisant des portes à deux entrées pour la porte inverseuse de sortie. Le monostable à portes NON-ET pourra voir sa sortie forcée à l'état de repos, soit "1", aussi bien à la mise sous tension que pendant le temps t. Pour la mise sous tension, un circuit R'C' génèrera un état "0" qui fixera Vs à "1" et évitera de charger inutilement C. Dans le cas contraire, il est possible qu'une impulsion soit générée en sortie. Si on désire une initialisation "à chaud", l'entrée sera utilisée comme entrée, active à "0", de mise à "1" de la sortie.

On procède de même avec le schéma à portes NON-OU. Le réseau R'C' d'initialisation est inversé et la commande devient une entrée de mise à "0", active à l'état "1". Le temps d'initialisation peut être très faible, par exemple 50μS dans le cas des valeurs proposées.

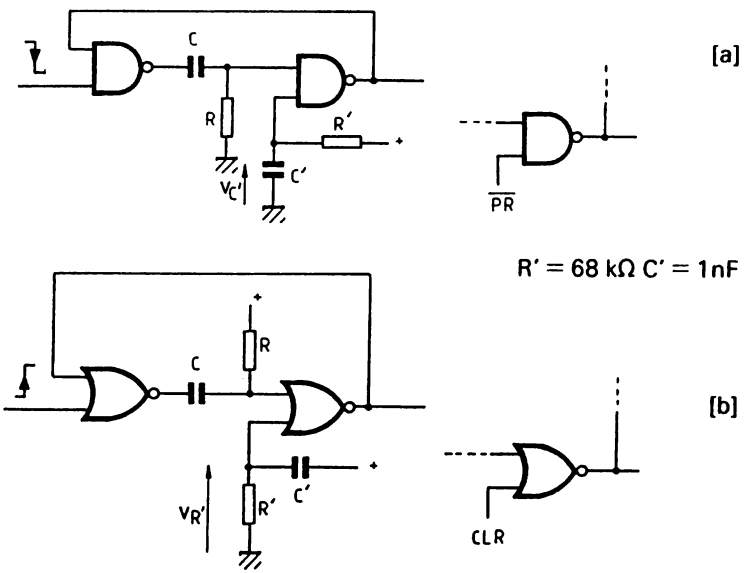


Fig. 4-17. — Initialisation des monostables NON-ET et NON-OU.

4-18. — Inhibition des monostables NON-OU et NON-ET

Si on désire générer une impulsion de durée T, mais garantir le non-déclenchement du monostable pendant un temps t_a, on pourra utiliser ce montage, par exemple dans une serrure codée.
On avait vu qu'au moment où Vs passe à son état actif, durant T, son niveau inhibait la porte d'entrée durant ce temps. En intercalant une constance de temps, on prolonge ce blocage. Ainsi pour le montage [a], quand Vs passe à "1", D conduit et charge C_a "instantanément". Si C_a est élevé, la charge durera un certain temps et il faudra que le niveau d'entrée ne change pas d'état durant ce laps de temps. Quand la sortie repasse à "0", D se bloque et C_a se décharge dans R_a. La porte d'entrée sera revalidée quand Vc atteindra le seuil, donc pour $T_a = R_a \cdot C_a \cdot \text{Ln}((Vcc - V_D)/V_{seuil})$. Il en sera de même avec le montage [b].

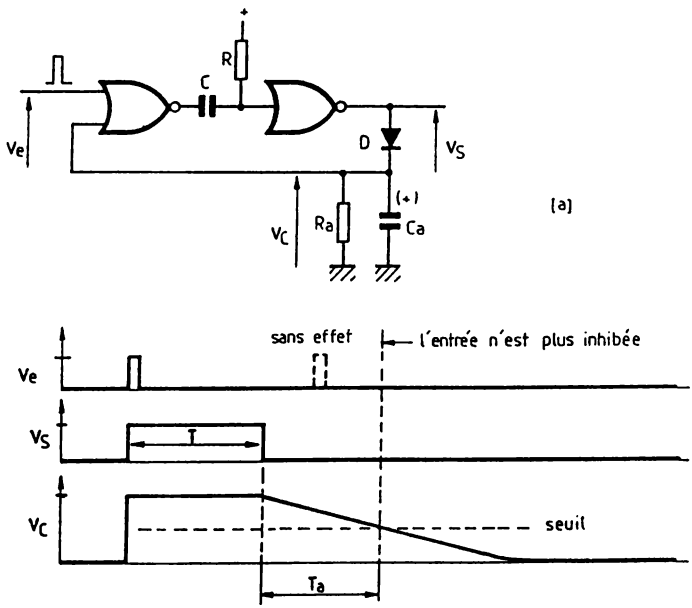


Fig. 4-18a. — Inhibition du monostable à porte NON-OU.

[b]

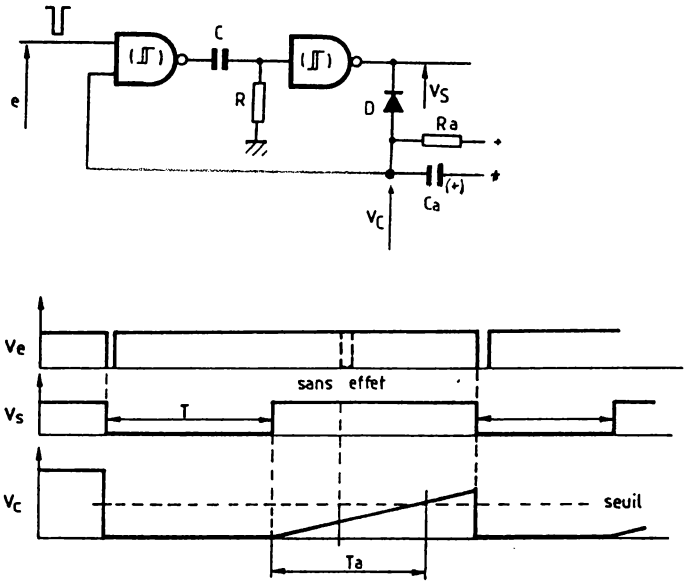
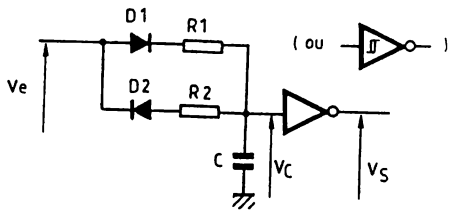


fig. 4-18b. — Inhibition du monostable à porte NON-OU.

4-19. — Retards différents

C'est une variante à la figure 4-10. Le front montant bloque D_2, et C se charge à travers R_1, D_1 étant passante et la sortie bascule après $t_1 = R_1 \cdot C \cdot Ln((Vcc - 2 \cdot V_D)/(Vcc - V_D - V_{seuil}))$. Le front descendant bloque D_1, C se décharge dans R_2, D_2 conduisant. La sortie rebascule après $t_2 = R_2 \cdot C \cdot Ln(Vcc/V_{seuil} - V_D))$. Les chronographes présentent les signaux avec une porte normale et 'trigger'.



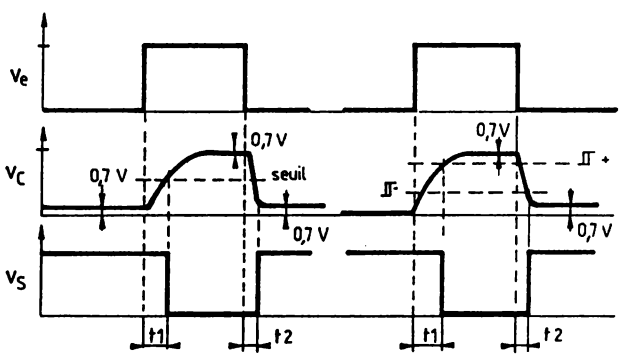


Fig. 4-19. — Retards différents.

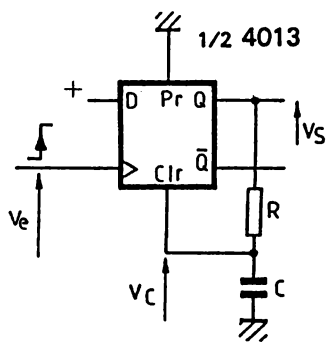
4-20. — Monostable à bascule D

Pourquoi utiliser une bascule D pour faire un monostable ? Pour ne pas utiliser un autre circuit ! En effet, si lors de la définition du schéma de votre réalisation, il reste une bascule libre (2 par boîtier), plutôt que d'utiliser de nouvelles portes pour réaliser un monostable, il suffira d'utiliser un des trois montages décrits.

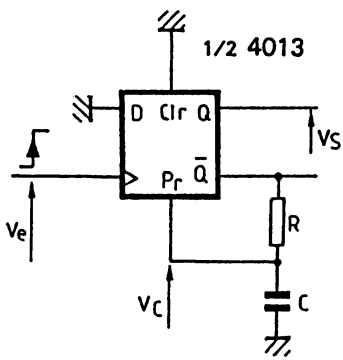
Montage [a] : Au repos, Vs = "0", C est déchargé, Vc = 0V, donc Clr = "0". Au front montant de Ve, Vs passe à "1" car D = "1". C se charge par R et atteint le seuil, après un délai T. Le seuil atteint, Clr = "1" et Vs bascule à "0" (Clr = mise à "0"). C se décharge alors. Une impulsion survenant pendant T ne sera pas prise en compte. Si on redéclenche le monostable aussitôt après T, C ne sera pas déchargé et l'impulsion de sortie aura une durée inférieure à T. Il faudra donc le redéclencher après un délai de 3T environ.

Montage [b] : Au repos, Vs = "1", C est déchargé, Vc = 0V, donc Pr = "0". Au front montant de Ve, Vs passe à "0" car D = "0". C se charge par R et atteint le seuil, après un délai T. Le seuil atteint, Pr = "1" et Vs bascule à "1" (Pr = mise à "1"). C se décharge alors. Une impulsion survenant pendant T ne sera pas prise en compte. Comme pour le montage [a], le monostable n'est pas "retriggerable" et nécessite un délai (3T) pour retrouver son état de repos.

Montage [c] : On rajoute un diode au montage [a] qui permet de décharger "instantanément" C quand la sortie passe à "0". Ainsi le monostable peut redémarrer aussitôt. Il est également possible de câbler cette diode, de la même manière, sur le montage [b] pour obtenir cette variante.



[a]



[b]

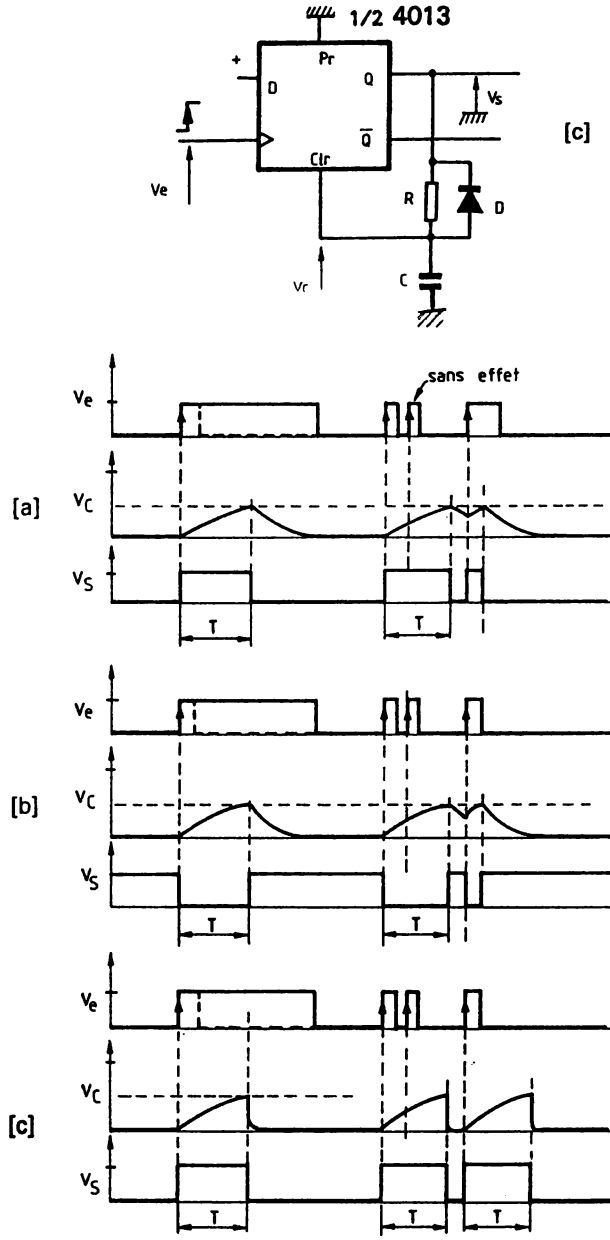


Fig. 4-20. — Monostables à bascules D.

CHAPITRE V

GÉNÉRATION DE SIGNAUX : CIRCUITS PARTICULIERS

Il est intéressant de présenter la mise en œuvre de circuits spécialisés tel le 4047, ou le 4046, bien que de tels circuits répondent à des besoins particuliers, définis lors de leur conception par le fabricant.

5-1. — Schéma fonctionnel et mise en œuvre du 4047

Ce circuit particulier permet diverses configurations. Cela nous permettra aussi de faire la différence entre un monostable simple et un monostable redéclenchable ('retrigger').

Dans ce circuit à 14 broches, on distingue 5 blocs principaux. Un astable ou monostable selon les configurations sur lequel se greffe le réseau RC qui déterminera ses caractéristiques temporelles, un bloc de contrôle du niveau de validation de l'astable, un bloc de contrôle du front de déclenchement du monostable, un bloc de contrôle pour le mode redéclenché et un diviseur de fréquence par deux. C'est de ce dernier bloc, une bascule, que sera extrait le signal de sortie, sur deux sorties complémentaires, munies d'un tampon. L'entrée CLR permettra l'initialisation de la bascule de sortie. On retrouve donc en OSC un signal amplifié de fréquence double (rapport cyclique 50 % non garanti !), ce qui améliore la précision de l'ensemble. Le tableau précise les différents câblages à effectuer pour obtenir les différents montages. Il est plus clair de les voir en détail !

Il existe pourtant des conditions à respecter dans tous les cas : le condensateur C ne doit pas être polarisé, mais à faibles fuites de préférence. Il n'y a pas de limites pour R et C pour un fonctionnement correct. L'initialisation de ce circuit à la mise sous-tension est réalisée de manière interne : la sortie est maintenue à zéro pendant une période T10 ou T11. Sa durée pourra être augmentée par un simple réseau RC connecté sur l'entrée CLR, bien qu'on réserve principalement cette entrée à une remise à "0" de la sortie à tout moment de la génération de la période.

Montage	relié à Vcc br.	relié à $\frac{1}{m}$ br.	entrée(s) br.	sorties	
Astable	4, 5, 6	8, 9, 12	—	10, 11, 13	$T_{10}, T_{11} \approx 4,4\,RC$
Astable contrôlé niveau haut	4, 6	8, 9, 12	5	10, 11, 13	$T_{13} \approx 2,2\,RC$
Astable contrôlé niveau bas	6	5, 8, 9, 12	4	10, 11, 13	
Monostable $\frac{1}{2}$	4	5, 6, 9, 12	8	10, 11	$T_{10}, T_{11} \approx 2,48\,RC$ redéclenchable
Monostable $\frac{1}{2}$	4, 8	5, 9, 12	6	10, 11	
Monostable redéclenchable	4	5, 6, 9	8, 12	10, 11	
Monostable comptage externe	—	5,6,8,9,12	—	10,11	

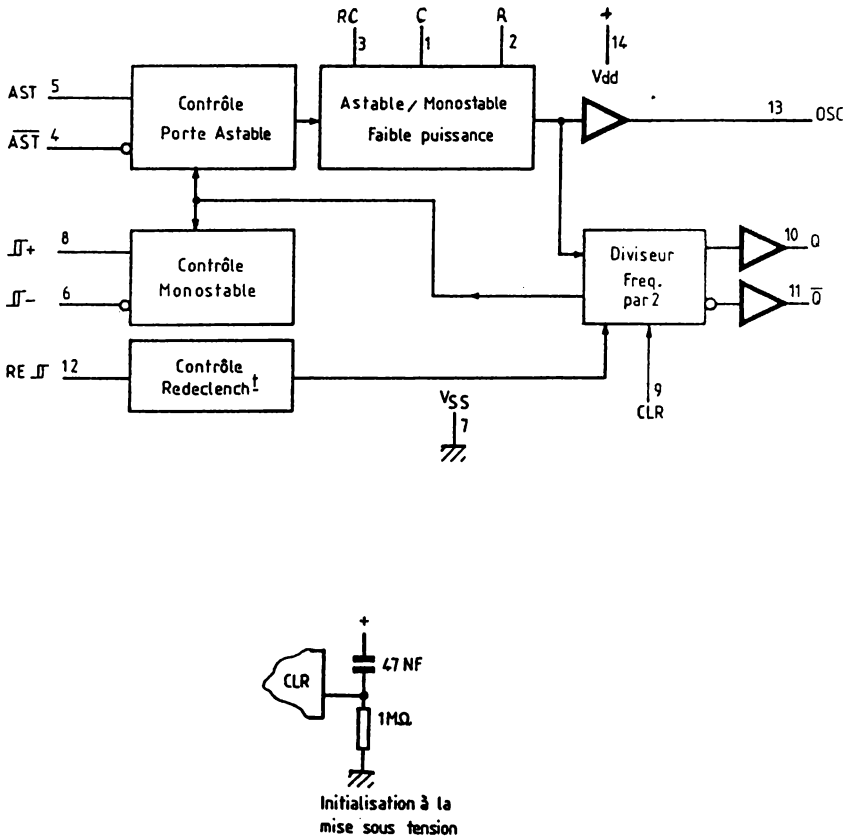
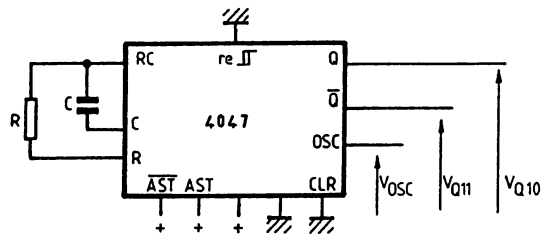
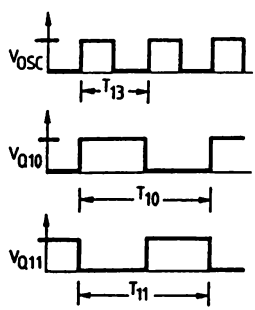


Fig. 5-1. — Schéma fonctionnel et tableau de mise en œuvre du 4047.

5-2. — Montage astable

Le mode astable est sélectionné pour un niveau "1" sur l'entrée AST, ou pour un "0" sur $\overline{AST}$ ou les deux. L'astable sera inhibé uniquement pour AST="0" et $\overline{AST}$="1", donc dans notre cas, "1" "1", il est validé.
On inhibe le mode monostable en portant $\_\!\!\sqcap_{(+)}$, $\sqcap\!\!\__{(-)}$ et re$\sqcap$ à leurs états inactifs, soit respectivement, à "000" ou "010" ou "110". Le réseau RC sera câblé sur les trois connections réservées et déterminera la fréquence d'oscillation. En V_{osc}, la fréquence sera double de celle en V_{Q10} et V_{Q11}, signaux en opposition de phase. CLR, inutilisé, sera à "0". En Vosc, la frequence sera . $2f=1/T_{13} = 1/(2{,}2 \cdot R \cdot C)$ si C ne descend pas sous 100pF. (attention aux capacités parasites dûes au câblage, en dessous de cette valeur, qui modifient la précision de la formule !)
Si on désire réaliser un astable, commandé par un état, AST sera utilisé dans le cas d'une commande à "1", et $\overline{AST}$ pour une commande par "0". On se réfèrera au tableau des états de contrôle.



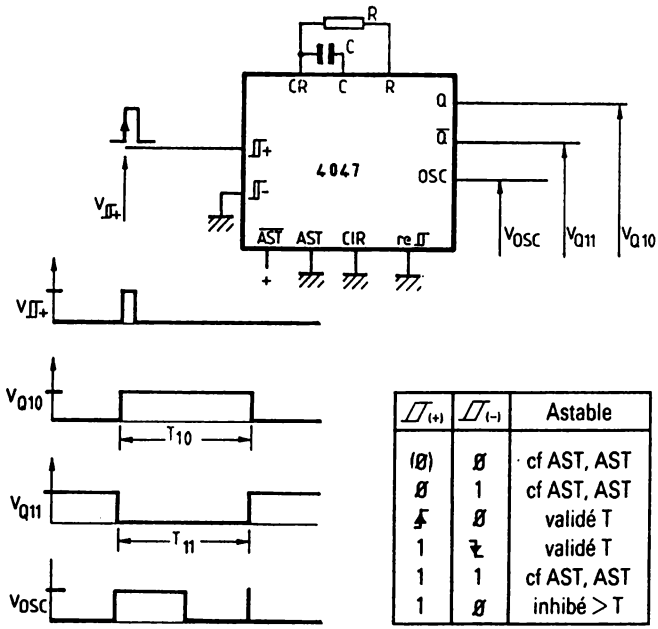


AST	$\overline{AST}$	état
(Ø)	Ø	validé
Ø	1	cf. $\_\!\!\sqcap_{(+)}$, $\sqcap\!\!\__{(-)}$
1	Ø	validé
1	(1)	validé
$\sqcap$	1	validé
Ø	$\sqcup$	validé
$\sqcap$	$\sqcup$	validé

Fig. 5-2. — Montage astable.

5-3. — Montage monostable

Un monostable simple permet de générer une impulsion unique en sortie, même si pendant (et uniquement pendant !) cette durée, d'autres fronts de déclenchement se succèdent !
On sélectionne le mode monostable en portant les entrées de contrôle de l'astable à leur état complémentaire, soit AST="0" et $\overline{AST}$="1". Puisque le mode monostable est simple, re⎍ sera inhibé, donc à "0".
Pour un déclenchement sur un front montant, on utilise ⎍(+) en entrée et ⎍(-) est porté à "0". Pour un déclenchement sur front descendant, l'entrée sera ⎍(-) et ⎍(+) sera porté à "1". Si ⎍(+) et ⎍(-) basculent en même temps pour atteindre le cas "10", le monostable est aussi déclenché. On câble R et C toujours de la même manière, ainsi que CLR selon les besoins. Les sorties exploitées sont Q_{10} et Q_{11}, complémentaires, et la durée T de l'impulsion est de T = 2,48·R·C environ. La sortie Vosc pourra être éventuellement exploitée, mais attention à la caractéristique de ce signal que l'on peut rencontrer sur les chronographes (pic bref à la fin !). Pour respecter la formule, il est conseillé de ne pas prendre pour C de valeur inférieure à 1 nF.



⎍(+)	⎍(-)	Astable
(Ø)	Ø	cf AST, AST
Ø	1	cf AST, AST
⎍	Ø	validé T
1	⎍	validé T
1	1	cf AST, AST
1	Ø	inhibé > T

Fig. 5-3. — Montage monostable.

5-4. — Montage monostable redéclenchable

Un monostable redéclenchable permettra de générer une impulsion au moment du déclenchement, qui sera élargie en cas de redéclenchement d'autant que le nombre de rédéclenchements dans le cas du 4047. Ainsi pendant le temps T, si un nouveau déclenchement apparaît, l'état de sortie sera maintenu pendant un nouveau temps T à la fin du premier et ainsi de suite jusqu'au dernier déclenchement. On peut presque dire que le temps de sortie est proportionnel au nombre d'impulsions de déclenchement !
Pour valider ce mode, il suffit, par rapport au montage monostable simple, de relier l'entrée re⎍ à l'entrée ⎍(+), qui sera utilisée comme entrée de déclenchement. Comme re⎍ est actif à l'état haut, pour déclencher sur un front descendant, il faut inverser ⎍(-) pour commander re⎍. En sortie $T_{re}=T_1+T_2+(n-1)\cdot(T_1+T_2)$ avec n, nombre d'impulsions de déclenchement et $T_1'=1{,}38\cdot R\cdot C$ et $T_1=T_2=1{,}1RC$ environ. Les chronographes seront ici bien plus explicites pour la compréhension du principe. La condition sur C du mode monostable simple reste valable.

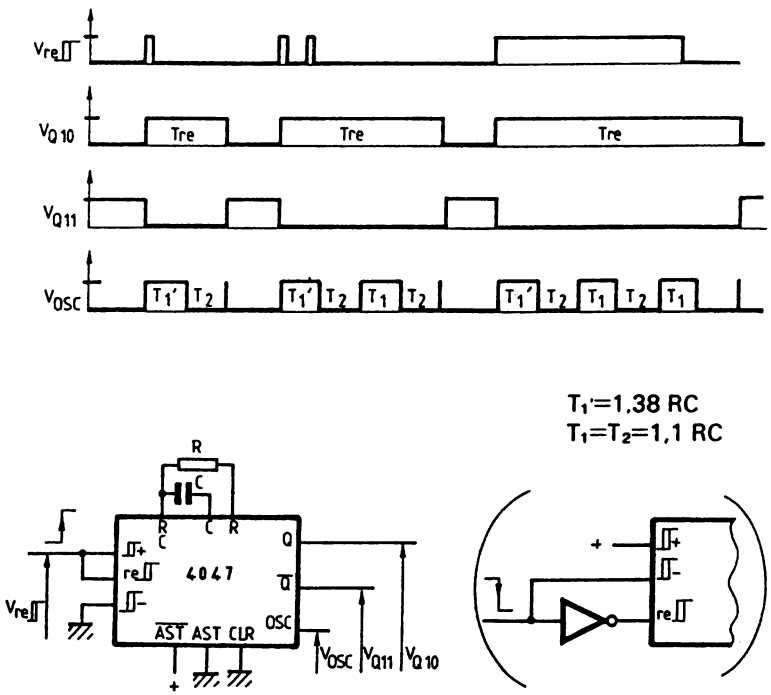


Fig. 5-4. — Monostable redéclenchable.

5-5. — Monostable à durée contrôlée digitalement

AST="0", l'oscillateur est validé si $\overline{AST}$="0" et inhibé dans le cas contraire. On considère Ve="0" et la sortie (du compteur) Qn=Vs="1", donc l'oscillateur est inhibé. Une impulsion en Ve, remet le compteur à zéro et Qn passe à "0" et valide l'oscillateur. Le compteur s'incrémente et sa sortie Qn passe à "1" après n cycles d'horloge environ. En fait, la durée de l'impulsion de sortie vaut : $T=2{,}48 \cdot R \cdot C + 2{,}2 \cdot R \cdot C + (n-1) \cdot 4{,}4 \cdot R \cdot C$ soit 1/2 cycle monostable + 1/2 cycle astable + (n—1) cycles astables.

Il est aussi possible d'utiliser la sortie Q (Clk) ou son complément qui délivre (n+1) impulsions.

Il est possible de remplacer le compteur 4017 de l'exemple par un autre type de compteur, ou même une mise en cascade pour obtenir n souhaité. L'avantage d'un tel montage est l'obtention d'une impulsion de longue durée pour un réseau RC faible, donc un condensateur de faible valeur.

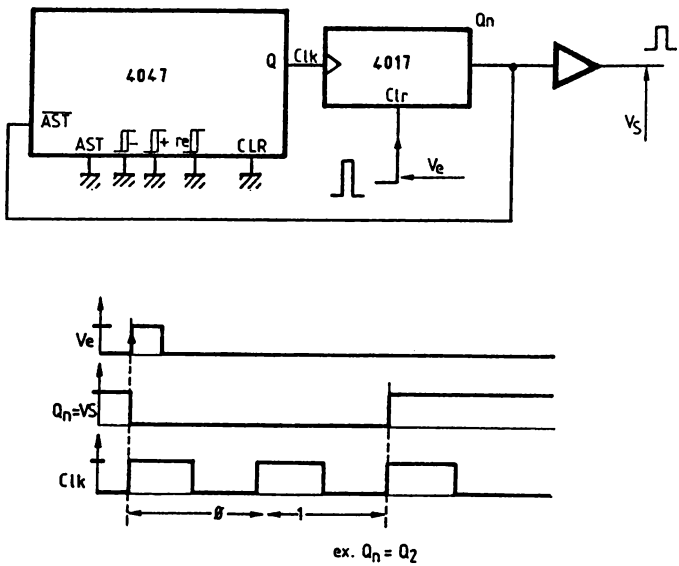


Fig. 5-5. — Monostable contrôlé digitalement.

5-6. — Monostable déclenché sur impulsion très brève

Dans le cas de déclenchements par des impulsions très brèves (<500 ns à 5V et 200 ns à 10V), il est nécessaire d'utiliser ce montage. Le basculement de la sortie renvoie à un état "1" en entrée donc la durée dépend de C (et R et R_1). R_1 impose l'état de repos et D se bloque à la commutation, d'où le choix d'une diode rapide. R et C seront déterminées en pratique, mais avec les valeurs mentionnées, il est possible de déclencher le monostable avec une impulsion de 20ns.

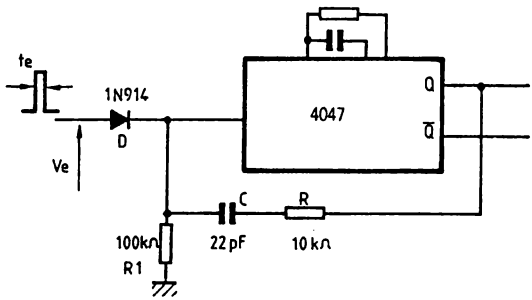


Fig. 5-6. — Impulsion de commande brêve.

5-7. — Discriminateur de bruit

Un discriminateur de bruit permet de supprimer des déclenchements parasites, si ces impulsions parasites sont de durée plus faibles que celles de déclenchement correct.

Quelle que soit la durée de l'impulsion, la bascule de sortie est remise à "0", donc Vs="0" et le monostable est déclenché, donc une impulsion en $V\bar{Q}$ d'état "0" pendant T, déterminé par R et C. Au front montant de $V\bar{Q}$, l'entrée est échantillonnée. Si l'impulsion est de durée supérieure à la consigne T, l'entrée de la bascule est remise à "0" et Vs = "0". Si l'impulsion est de courte durée, ce sera un état "0" qui sera échantillonné, et la sortie Vs restera à "0" (de toute façon, CLR vaudra "1" et sera prioritaire à Clk !).

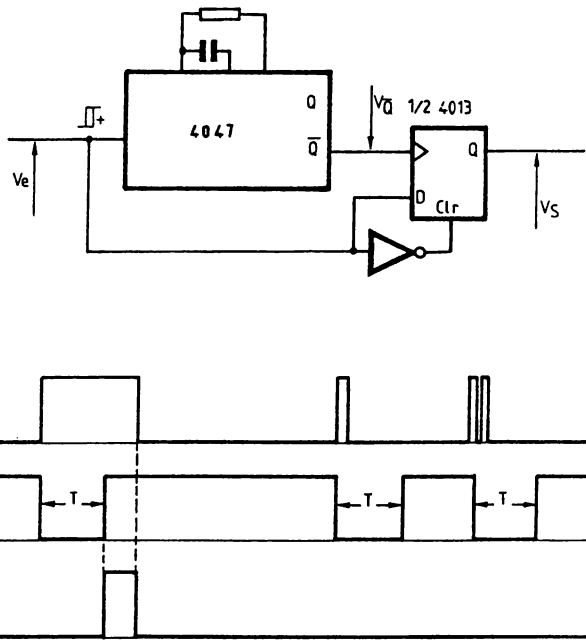
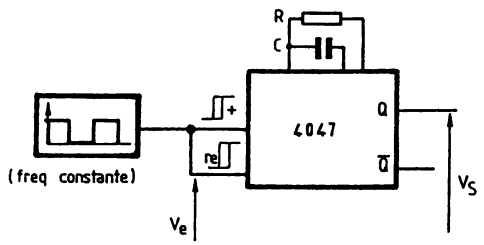


Fig. 5-7. — Discriminateur de bruit.

5-8. — Détection d'impulsion manquante

Si la fréquence d'entrée de Ve est constante, une absence d'impulsion se traduira par une impulsion "0". On se servira d'un tel montage pour resynchroniser un récepteur sur l'horloge d'émission.

La durée du monostable, nécessairement redéclenchable, est fixée à T=(1/f)+t, f étant la fréquence d'horloge et t la marge de détection. Pour le calcul de t, il faudra connaître la précision sur f. Le temps de réponse du circuit dépendra également de t.



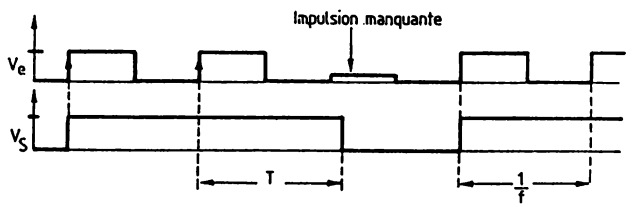


Fig. 5-8. — Détection d'impulsion manquante.

5-9. — Diviseur de fréquence par 2

Il suffit de monter une bascule D en 'toggle' en reliant l'entrée D à la sortie $\overline{Q}$. Si Q=Vs="0", $\overline{Q}$=D="1". Au front montant de Ve, D est échantillonné ("1") et Vs (=Q) prend son état, soit "1". D passe donc à "0" qui sera le prochain état de Vs (=Q) au prochain front montant de Ve... et ainsi de suite. Quel que soit le rapport cyclique du signal Ve, celui de Vs sera de 50 %.

Pour obtenir une division par un nombre pair égal à $2n$, il suffit de mettre en cascade n bascules. Pour diviser par un nombre quelconque, on se reportera au chapitre des compteurs.

L'appellation courante de ce diviseur est "bascule T".

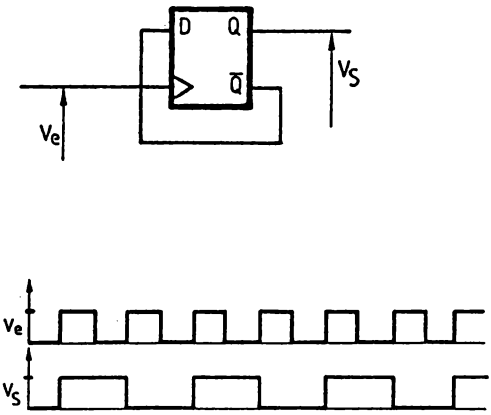
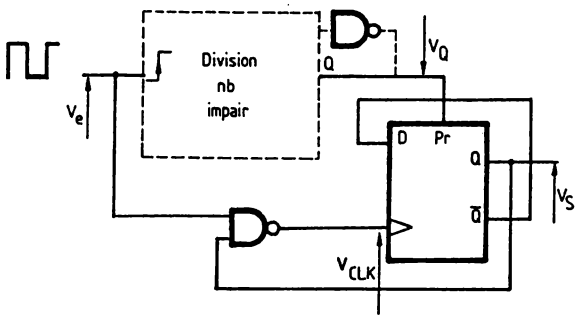


Fig. 5-9. — Diviseur par 2.

5-10. — Diviseur de fréquence par un nombre impair

Si on utilise justement un compteur pour obtenir une division de fréquence par un nombre impair, le rapport cyclique ne sera jamais égal à 50 %. Les chronographes présentent le cas si n=3 (Q_B=V_Q). V_Q a un rapport cyclique de 50 % à une demi période de Ve près. Pour d'autres valeurs de n, on se ramènera à un cas identique : V_Q="1" pendant (n—1) demi-périodes de Ve.

Quand V_Q="1", la bascule est mise à "1" (Pr) et Vs="1". La porte NON-ET autorise les impulsions en V_{CLK} qui restent sans effet (priorité de Pr sur Clk). Quand V_Q passe à "0", Vs vaut encore "1" ce qui valide encore l'impulsion d'horloge en Clk. Au front montant de V_{CLK}, Vs passe à "0", donc après une demi-période du signal en Ve. Le rapport cyclique est donc maintenant de 50 %.



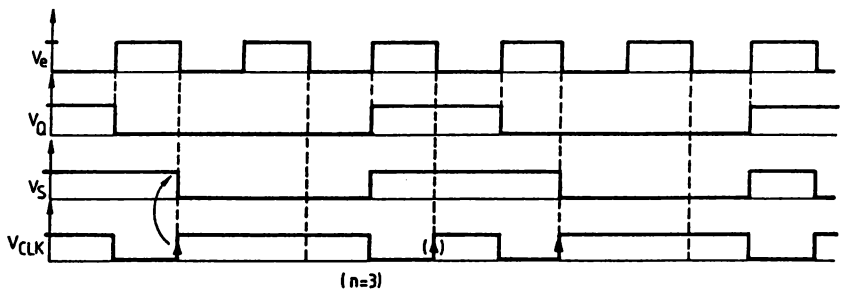
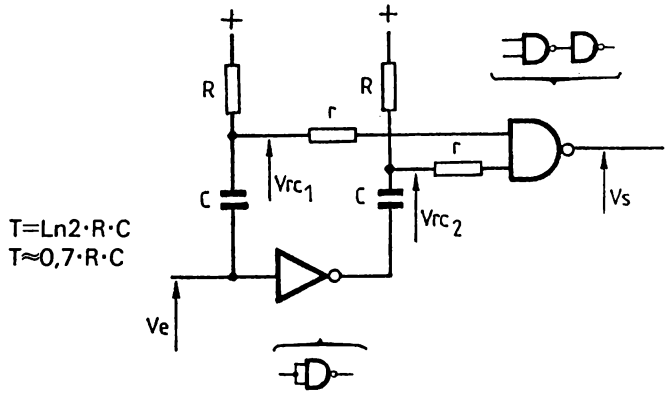


Fig. 5-10. — Division par nb impair.

5-11. — Multiplication de fréquence par 2

Multiplier la fréquence par deux équivaut dans ce cas à générer deux impulsions en sortie pour une période du signal d'entrée. On dérive le signal d'entrée au front descendant et au front montant (complément). Il suffit alors d'en faire la somme. Comme on déclenche sur des fronts descendants, la porte ET réalise bien la somme ($A \cdot B = \overline{\overline{A} + \overline{B}}$). Simple, mais la fréquence limite du signal d'entrée est imposée par le choix de RC et sera d'environ $F_{MAX} = 1/6 \cdot T$).

Il est possible de réaliser l'homologue de ce montage avec des portes OU ou NON-OU !



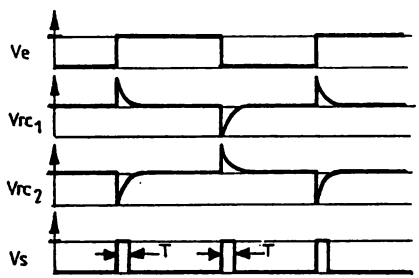
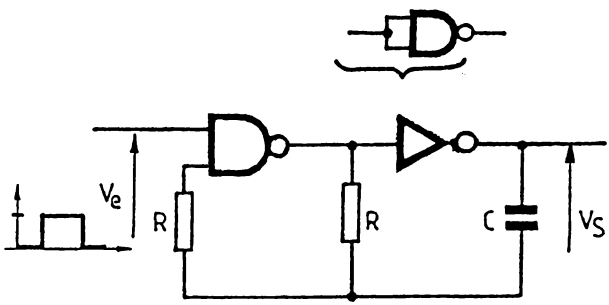


Fig. 5-11. — Multiplication de fréquence par 2.

5-12. — Multiplication de fréquence

Si on désire plusieurs impulsions pour une impulsion d'entrée, il suffit d'utiliser un astable contrôlé par l'impulsion d'entrée. Le nombre d'impulsions en sortie sera déterminé par la durée de l'état "1" de Ve. La fréquence de sortie sera donc un multiple de la fréquence d'entrée, mais sa précision n'est pas grande (+/— une impulsion en sortie, sans tenir compte des dérives).



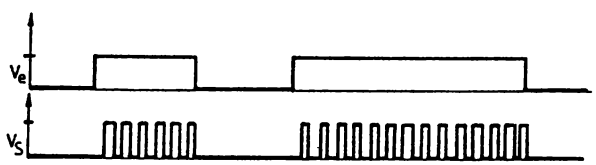


Fig. 5-12. — Multiplication de fréquence.

5-13. — Multiplication de fréquence avec minimum

En précédant le montage de la figure 5-12 d'une constante de temps, on obtient un nombre d'impulsions minimum pour chaque période du signal d'entrée. Cette variante sera utilisée si Ve à un rapport cyclique très inférieur à 50 %. Si le montage n'est commandé que par des impulsions, on aura une multiplication d'impulsions, mais comme précédemment, le nombre ne peut être ajusté avec précision (dérive de l'astable).

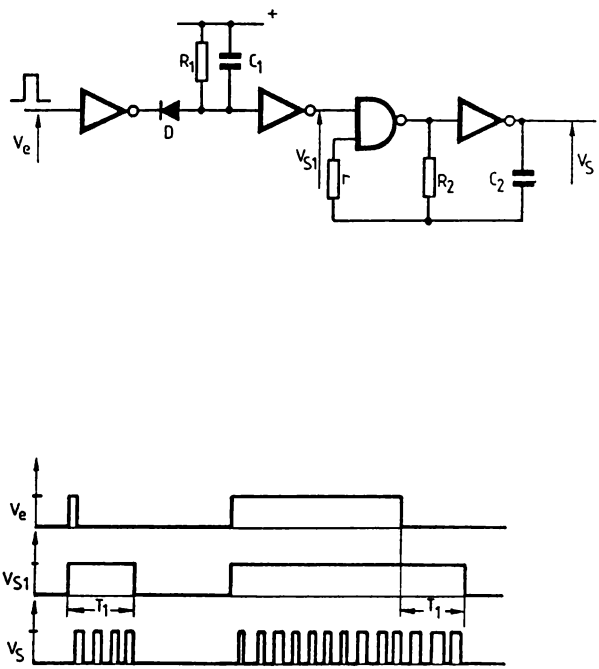


Fig. 5-13. — Multiplication de fréquence avec minimum.

5-14. — Multiplication de fréquence digitale

Pour garantir le nombre d'impulsions, on utilise un compteur. On choisit le nombre d'impulsions désiré en sortie, soit *n*. La sortie Qn du compteur sera alors utilisée pour inhiber l'astable lorsque le compteur vaut *n*. Donc, au repos ou après l'initialisation, Qn="1". L'astable est bloqué et l'état du compteur est inchangé. Une impulsion en Ve remet à "0" le compteur. Qn="0" et l'astable oscille. Le compteur s'incrémente et après *n* fronts d'horloge, Qn passe à "1" et inhibe à nouveau l'astable. On a donc *n* impulsions d'horloge en Vs, la dernière étant très brève. Le fonctionnement est correct si l'impulsion de commande est courte, donc si sa durée est inférieure à la demi-période de l'astable. Sinon, des impulsions seront produites en sortie tant que Ve="1", suivie de *n* impulsions quand Ve repasse à zéro.

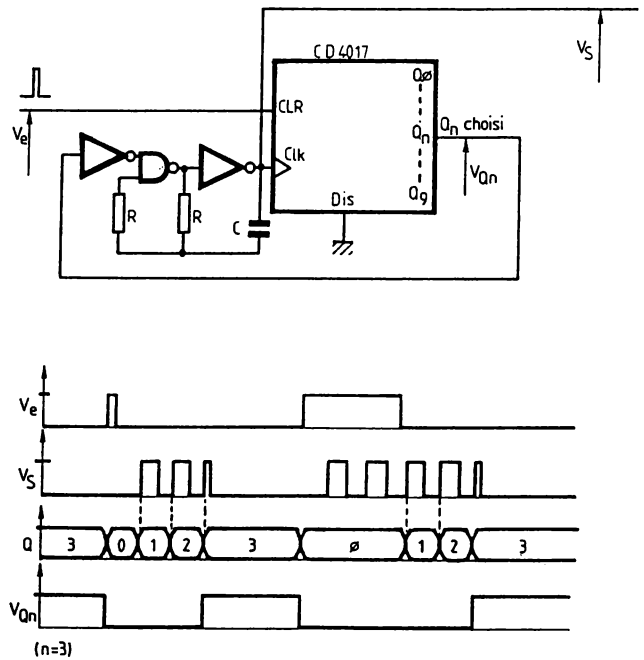
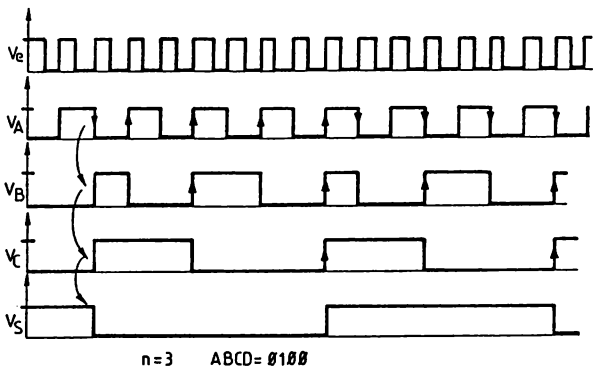


Fig. 5-14. — Multiplication de fréquence digitale.

5-15. — Fréquence codée

Ce montage permet de choisir par simple appui sur une touche, le coefficient de division de la fréquence d'entrée f_e. Dans le cas de la figure, $fs=f_e/n$ avec *n* compris entre 1 et 16.

Le 74C922 est un circuit qui lit un clavier, détecte la touche pressée, élimine les rebonds et mémorise son code. Voyons le principe du montage : Si une srtie du 74C922 est à "1", l'horloge est inversée pour la bascule considérée. Si une sortie est à "0" ou en haute impédance ("0" fixé par R), l'horloge reste en phase. Pour chaque période du signal Ve, la sortie du compteur réalisé par les quatre bascules et NON-OU-EXCLUSIFS, donc Vs et aussi OE. Au changement d'état de OE, les bascules commandées par une sortie à "1" du 74C922, changent leur phase ce qui rajoute une impulsion d'horloge à l'étage du compteur. L'addition des phases aux différentes puissances de 2 du compteur autorise une division de 1 à 16. Le signal de sortie Vs a un rapport cyclique de 50 % quel que soit le coefficient diviseur. Les sorties BINaires du 74C922, soient ABCD, sont égales à 16 moins le code de la touche pressée. Ainsi les chronographes donnés pour DCBA="0010", code d'appui de la touche 14, soit 2 en décimal, montrent bien une division par 14 .



Chronographes

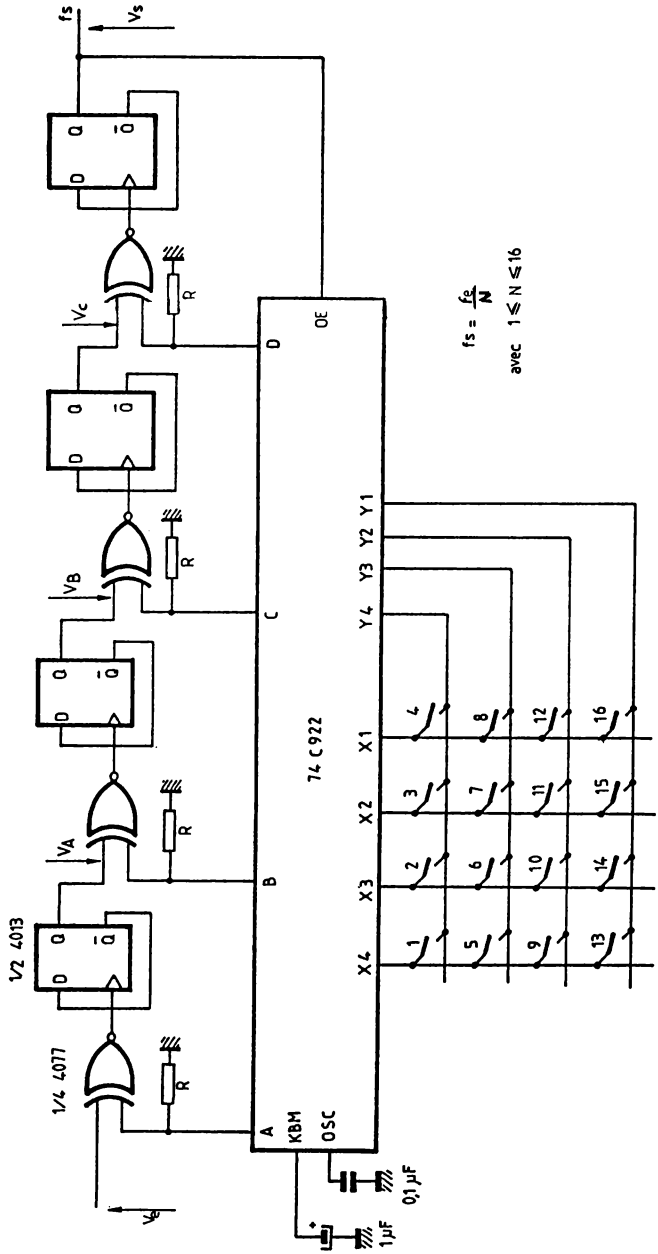


Fig. 5-15. — Fréquence codée.

5-16. à 5-19. — Schéma fonctionnel et mise en œuvre du 4046

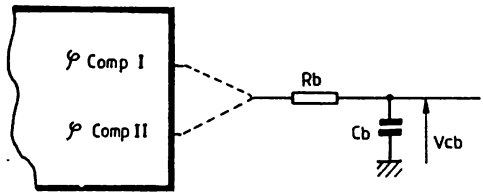
Il n'était pas possible de refermer ce chapitre, sans parler du 4046, oscillateur à boucle à verrouillage de phase (PLL). On va en expliquer le fonctionnement et passer en revue quelques montages, sans cette fois rentrer trop dans le détail. Quelques manipulations vous éclaireront mieux que bien des explications...

Le 4046 intègre un VCO ('Voltage Controlled Oscillator'=oscillateur commandé en tension), et deux comparateurs de phase. En plus, on dispose d'un suiveur qui recopie la tension de commande du VCO et une zener qui permettra de réaliser une référence de tension dont les dérives suivront celles du circuit.

Le comparateur de phase I est réalisé avec une porte OU-EXCLUSIF. Suivi de l'intégrateur R_bC_b, la tension V_{cb} variera de 0 à Vdd pour un déphasage de 0 à 180° (Vdd/2 à 90°) et inversement au dessus de 180°. Le rapport cyclique du signal d'entrée doit être de 50 %. Sans signal d'entrée, V_{cb}=Vdd/2.

Le comparateur de phase II est un réseau digital à mémoire commandé par front montant (rapport cyclique quelconque). Sa sortie est à trois états pour diminuer la puissance dissipée. Si $F_o > F_{comp}$, sa sortie est à "1". Dans le cas contraire, elle vaut "0". Si $F_o = F_{comp}$, sa sortie vaut "1" ou "0", selon les différences de phase, soit respectivement l'entrée en avance ou en retard. La sortie 'pulses' indique que la sortie est en haute-impédance (fig. 5-18[b]), lorsque l'on a égalité fréquence et phase. Ses caractéristiques à Vdd=10V sont une impédance de plus de 400 kohm, une sensibilité de 400 mV alternatif, un courant de sortie de 1,8 mA(Vs="0") et 2,6 mA (Vs="1") sauf sur la sortie 'pulses' (0,5 et 1,4mA).

Le circuit intégrateur R_bC_b permet d'obtenir une tension qui commandera le VCO. La bande de fréquence de capture dépendra du VCO, mais aussi du réseau intégrateur en utilisant le comparateur de phase I. Le principe du PLL est en figure 5-17.



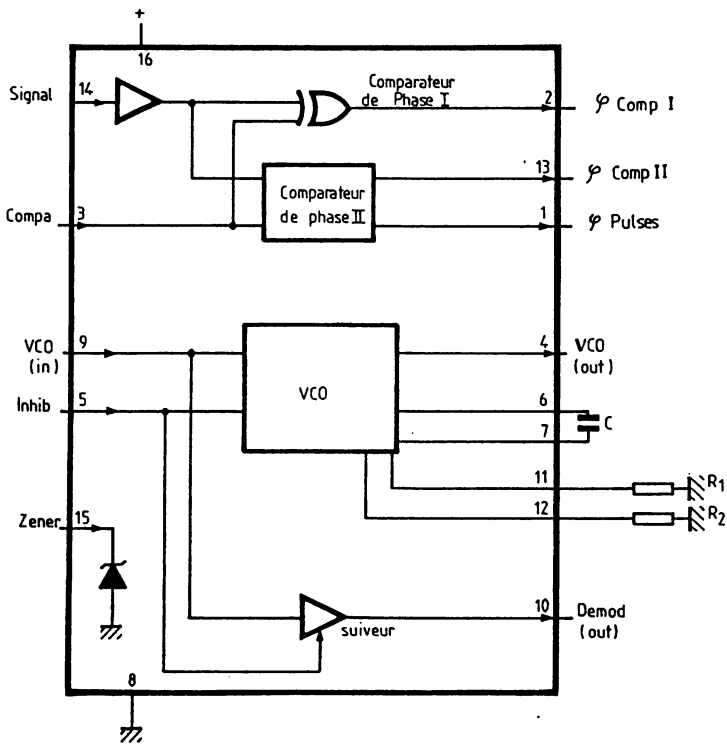


Fig. 5-16. — Schéma fonctionnel du 4046.

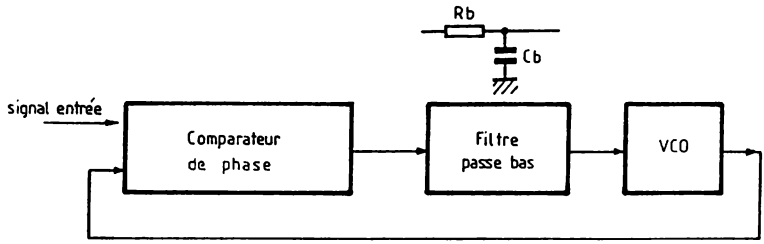


Fig. 5-17. — Principe du PLL.

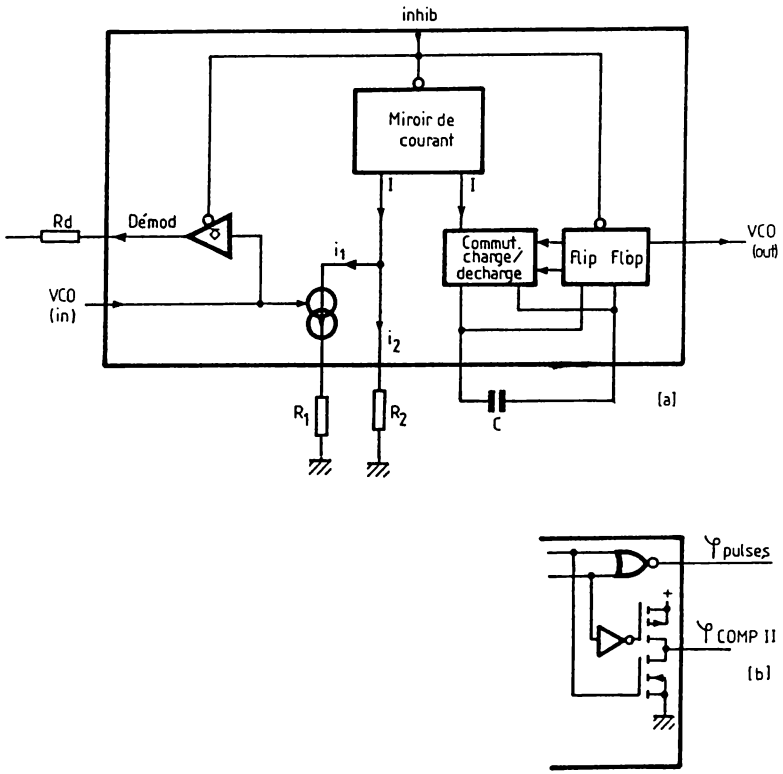
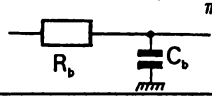


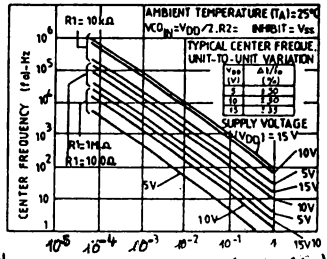
Fig. 5-18. — VCO et sortie du comparateur II en détail.

<table>
<tr><td></td><td colspan="2">avec comp. phase I
avec comparateur de phase I</td><td colspan="2">avec comp. phase II
avec comparateur de phase II</td></tr>
<tr><td>Pas de signal en entrée</td><td colspan="2">VCO → F_o</td><td colspan="2">VCO → F_{min}</td></tr>
<tr><td>Bande de fréq. de capture $2F_c$

Composants du filtre</td><td colspan="2">$T=R_bC_b$
$2F_c = \frac{1}{\pi}\sqrt{\frac{2\pi F_L}{T}}$
 
</td><td colspan="2">$F_c=F_L$
$f_c \neq f_L$</td></tr>
<tr><td>Fréquence de verrouillage $2F_L$</td><td colspan="2">$2F_L$ = Fmax—Fmin
$2F_L$ = plage entière du Vco</td><td colspan="2">$2F_L$ = Fmax—Fmin
$2F_L$ = plage entière du Vco</td></tr>
<tr><td>Phase entre signal et VCO</td><td colspan="2">90° à F_o, 0° et 180° en fin de bande ($2f_L$)</td><td colspan="2">90° à F_o, 0° et 180° en fin de bande ($2F_L$)</td></tr>
<tr><td>Verrouillage</td><td colspan="2">Sur harmoniques de F_o</td><td colspan="2">Sur F_o</td></tr>
<tr><td>Rejection bruit en entrée</td><td colspan="2">Elevé</td><td colspan="2">Faible</td></tr>
<tr><td>Choix des composants</td><td>$R_2 = \infty$ (4)</td><td>R_2 → offset (5)</td><td>$R_2 = \infty$ (4)</td><td>R_2 → offset (5)</td></tr>
<tr><td></td><td>• choisir F_o
• déterminer R_1, C_1 (1)</td><td>• choisir F_o, F_L
• calcul :
$F_{min} = F_o - F_L$
• déterminer R_1C_1 (2) pour F_{min}
• calcul :
$\frac{F_{max}}{F_{min}} = \frac{F_o + F_L}{F_o - F_L}$
• déterminer $\frac{R_2}{R_1}$ (3)
et donc R_1
grâce à $\frac{F_{max}}{F_{min}}$</td><td>• choisir F_{max}
• calcul :
$F_o = \frac{F_{max}}{2}$
• déterminer R_1 C_1 (1)</td><td>• choisir F_{max}, F_{min}
• déterminer R_1C_1 (2)
• calcul :
$\frac{F_{max}}{F_{min}}$
• déterminer $\frac{R_2}{R_1}$ (3)
et donc R_1
grâce à $\frac{F_{max}}{F_{min}}$</td></tr>
</table>

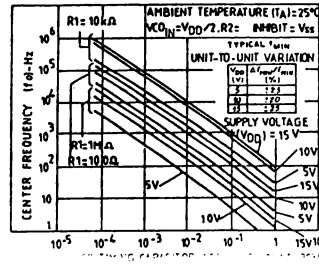
(1) cf. abaque I
(2) cf. abaque II
(3) cf. abaque III
(4) cf. abaque IV
(5) cf. abaque V

Fig. 5-19. — Tableau récapitulatif.



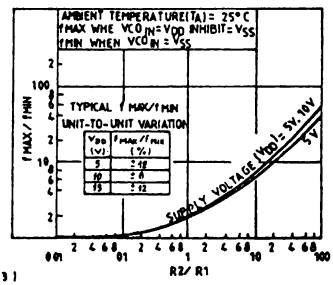
(4) VCO TIMING CAPACITOR (CI)-μf

92C5-3034T

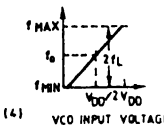


(2) VCO TIMING capacitor (CI)-μf

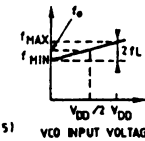
92C5-3034T



(3)



(4) VCO INPUT VOLTAGE



(5) VCO INPUT VOLTAGE

Abaques

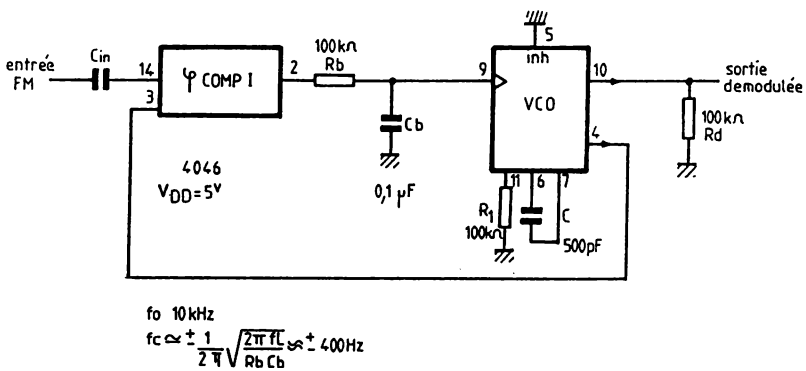
Pour comprendre le VCO, on se reporte à la figure 5-18 [a]. Pour fonctionner, l'entrée INHIB doit être à "0". R_1 fixe le courant principal et R_2 le courant d'offset pour I, soit $I=i_2+k\cdot i_1$ avec k dépendant de la tension d'entrée VCOin (k=VCOin/constante). Par le miroir de courant et le commutateur, ce courant permettra la charge et la décharge de C, selon l'état de la bascule de sortie, d'où on extrait VCO_{OUT}. La fréquence dépend donc de R_1, R_2, C et de la tension VCO_{IN}. La fréquence centrale est déterminée par R_1 et C, la bande passante par R_1, R_2 et C. Un suiveur recopie VCO_{IN}, mais sa sortie est un transistor Drain-ouvert, relié à Vdd. Rd fixera donc sa polarisation. L'impédance en VCO_{IN} est de 10^{12}ohms à 10V, les temps de transition de VCO_{OUT} de 50nS, et la tension de décalage entre VCO_{IN} et la sortie Demod. de 1,5V à 1mA.

On respectera : R_1, R_2, Rs de 10kohm à 1Mohm et C de plus de 100pF à 5V et 50pF à 10V. La fréquence maximum à Vdd=10V sera de 1,2MHz et la linéarité sera de 1 % pour VCO_{IN} de 2,5V à 7,5V.

Le tableau de la figure 5-19 sera utilisé pour le choix du comparateur de phase et le calcul des éléments (abaques).

5-20. — Démodulateur FM

Un démodulateur FM permet de retrouver une variation de tension proportionnelle à la variation de fréquence du signal d'entrée. Le schéma suit le principe de la figure 5-17. On retrouve en sortie de l'intégrateur la tension démodulée. On l'exploite via la sortie amplifiée. Les valeurs sont données pour 10 kHz avec une bande de capture de 800 Hz, il suffira de s'aider de la figure 5-19 pour modifier les caractéristiques.



$$f_o \ 10\,kHz$$

$$f_c \simeq \pm \frac{1}{2\pi}\sqrt{\frac{2\pi f_L}{R_b C_b}} \simeq \pm 400\,Hz$$

Fig. 5-20. — Démodulateur FM.

5-21. — Détection de verrouillage

Montage [a] : Le VCO a pour bande de fréquence, F_{MIN} et F_{MAX}. Pour un signal d'entrée compris dans cette plage, on trouvera des impulsions de verrouillage sur la sortie du comparateur de phase I et sur la sortie 'pulses' du comparateur II. Un réseau RC avec D permettra d'obtenir un état stable en sortie. Il faudra environ 5 cycles du signal d'entrée pour observer le basculement de la sortie. Si le signal d'entrée est un signal modulé en fréquence en tout ou rien, à 10 kHz et 20 kHz pour les valeurs de l'exemple, on retrouvera le signal logique (démodulé) en sortie.

En [b] et [c], on montre les chronographes distinctifs des montages utilisant le comparateur de phase I ou II. Dans le cas du montage [a], c'est bien sûr le second qui est exploité.

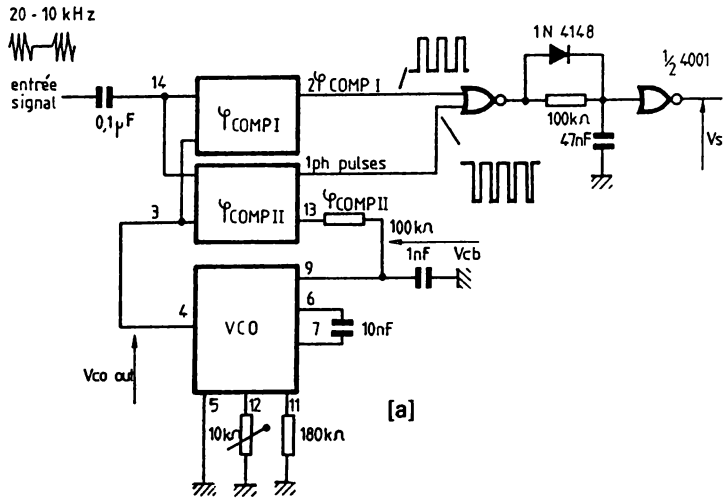
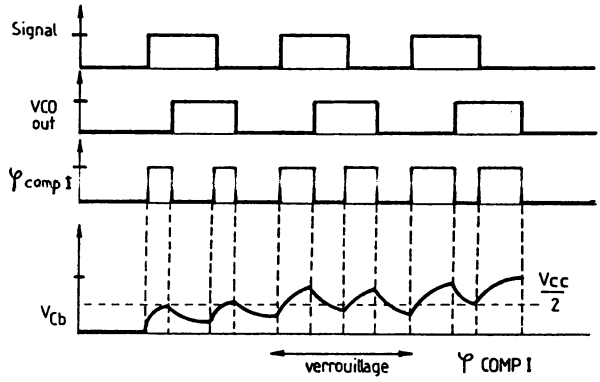
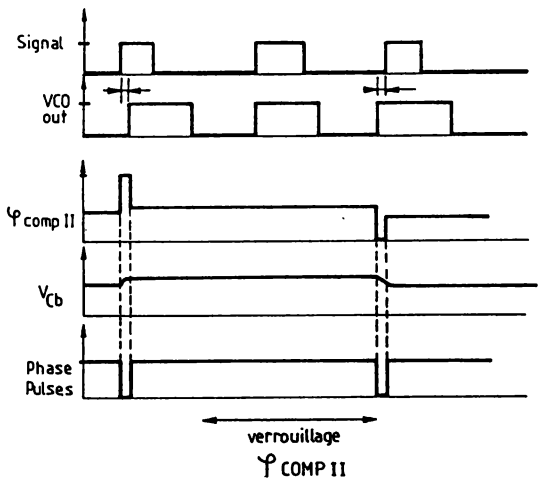


Fig. 5-21a. — Schéma détection de verrouillage.



[b]

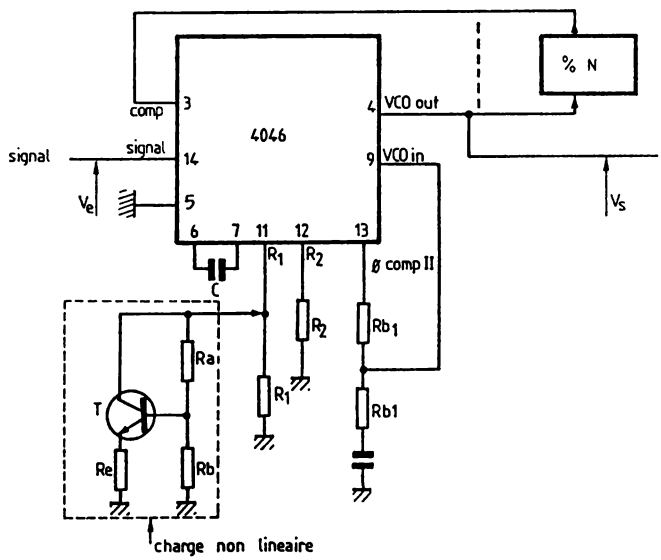


[c]

Fig. 5-21 b et c. — Chronographes.

5-22. — Bande de capture élargie

On remarque que la bande de capture est parfois limitée. En utilisant un réseau non-linéaire, il est possible de l'augmenter de cinquante fois environ. Pour obtenir ce gain, on remplace R_1 par un transistor T qui constituera une charge résistive non-linéaire. Si T est bloqué (V_{11}<0,5V), R_1 équivaut à R_a+R_b. Si V_{11} augmente, T conduit, et la résistance équivalente varie exponentiellement (cf équation). Pour R_1 = 10 kohm, R_2 infinie, R_{b1} = 47 kohm, R_{b2} = 330 ohm et C_b = 0,22 μF on a une bande de détection de 17 kHz à 330 kHz. Avec R_a=68 kohms, R_b=33 kohms, R_a=100 ohms et T à β *élevé* (2N 3904,...), la bande s'étend de 2 kHz à 1MHz environ.



$$T \text{ conduit} \rightarrow Req = \frac{\left(\frac{Ra//Rb}{\cdot\beta} + Re\right)}{\frac{Ra//Rb}{Ra} - \frac{Vbe}{V11}}$$

Fig. 5-22. — Bande passante élargie.

5-23. — Multiplication de fréquence digitale

Un PLL permet de multiplier la fréquence d'un signal, en lui apportant une contreréaction à l'aide d'un diviseur de fréquence (compteur). C'est aussi simple que de déterminer le gain sur un ampli-op . [a]). L'exemple en [b] permet de multiplier la fréquence d'entrée par 100. Le diviseur de fréquence est constitué de deux 4017, compteurs décimaux en cascade par C_{YOUT}. On compare donc fs/100 à fe, et l'intégrateur permettra au VCO de s'accrocher à fs pour obtenir l'égalité. On utilisera le comparateur de phase II, aussi le signal issu du compteur-diviseur pourra être de rapport cyclique quelconque, tel le signal en C_Y. La fréquence fs étant celle du VCO, il faudra dimensionner les éléments en conséquence et garder en mémoire les limites du VCO (de l'ordre du MHz) .

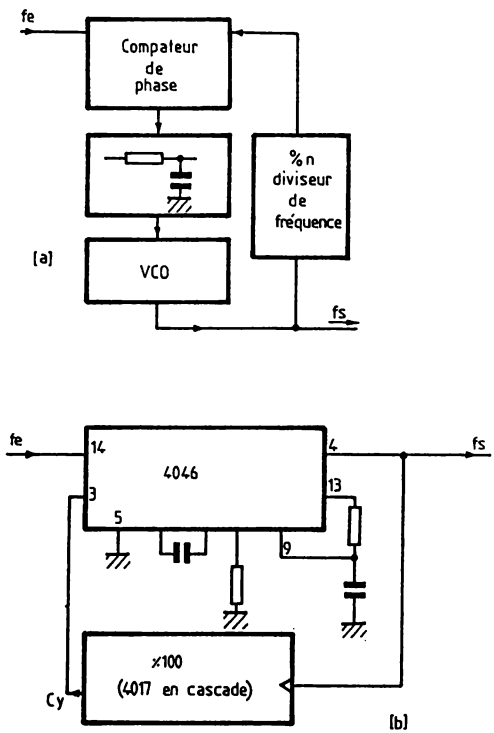


Fig. 5-23. — Multiplication de fréquence digitale

5.24. — Génération de signal en marches d'escalier

On utilise un compteur binaire à 4 bits. Les sorties sont connectées à un réseau R/2R qui forme, avec l'ampli-op, un convertisseur D/A (Digital/analogique). Le courant I vaudra :

$Q_A \cdot Vdd/8R + Q_B \cdot Vdd/4R + Q_C \cdot Vdd/2R + Q_D \cdot V_{DD}/2R$ soit donc $n \cdot Vdd/8R$. L'ampliopérationnel est monté en convertisseur courant/tension, donc:

$Vs = -n(R2/8R) \cdot Vdd$ avec n compris entre 0 et 15. On observe donc une rampe croissante en marche d'escaliers (de 0 à 15) à front raide (passage de 15 à 0). La fréquence du signal de sortie vaudra celle de l'horloge de contrôle du compteur, divisée par 16, le nombre de marches ou cycle du compteur. Il est possible de se dispenser de l'ampli-op en reliant R_2 à la masse et en récupérant Vs à ses bornes. Dans ce cas, pour conserver un signal de croissance linéaire, R_2 devra être très faible par rapport à R. Le signal de sortie sera de faible amplitude, positive !

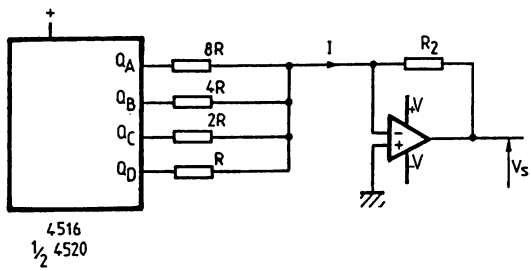


Fig. 5-24. — Génération marches d'escalier.

5.25. — Génération de signal pseudo sinusoïdal

En utilisant un diviseur programmable, tel le 4018 monté en diviseur par 10, qui est en fait un compteur de « Johnson » (binaire réfléchi), on peut générer un signal sinusoïdal, ou en double marches d'escalier suivant les valeurs des éléments. En effet, dans ce cas, le code de sortie croît et décroît, soit 0, 1, 3, 7, 15, 15, 14, 12, 8, 0, les 10 codes rencontrés sur les sorties, le temps d'un cycle. Il faudra déterminer les éléments par de longs calculs ou plus simplement par la pratique, d'où les ajustables. Essayez avec R=10 kohms, A_j=10 kohms et R_2=1 kohms.

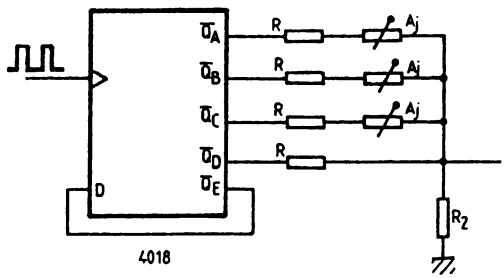


Fig. 5.25. — Génération signal sinusoïdal.

5.26. — Génération de signal quelconque

Pour générer un signal avec plus de précision, on augmente le nombre de points d'échantillonnage. On utilise donc dans ce cas quatre registres à décalage 4 bits, ce qui laisse 16 échantillonnages par demi-période. La détermination des éléments résistifs R_1 à R_{16} sera longue, mais suivant leur valeur, il sera possible de générer diverses formes d'ondes. Le circuit RC initialise le signal de sortie par le biais de la remise à "0" des registres à décalage.

Il est possible de diminuer ou d'augmenter le nombre de registres à décalage, mais aussi de brancher plusieurs réseaux R_1 à R_{16} différents en parallèle sur les sorties des registres.

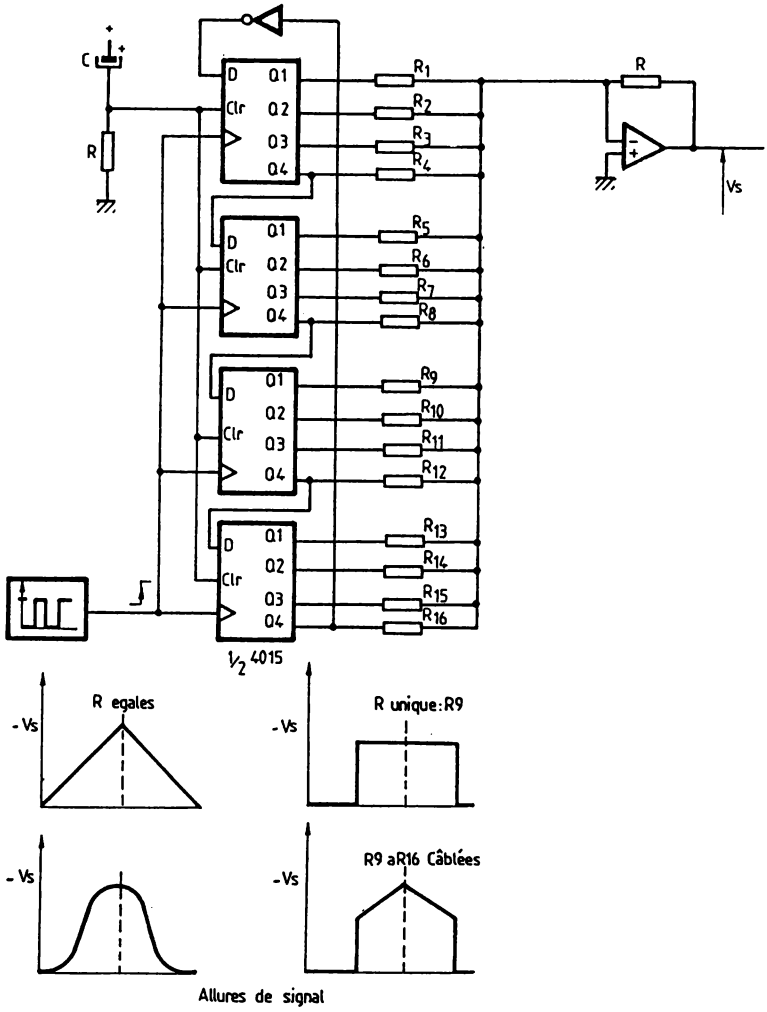


Fig. 5-26. — Génération de signal quelconque.

5.27. — Autre Générateur de signal quelconque

Une solution, plus simple que celle de la figure 5.26, consiste à utiliser un compteur à sorties décodées, tel le 4017. Chaque sortie prendra à tour de rôle et successivement un état "1". L'élément résistif correspondant fixera la tension de sortie à cet instant donné. Soit donc :

$$Vs = (- Vdd \cdot R) \cdot (Qo/Ro + Q_1/R_1 + \cdots + Qn/Rn + \cdots + Q_9/R_9)$$

La période est échantillonnée en dix points, et la fréquence sera celle de l'horloge divisée par 10. En prenant des valeurs croissantes pour R_1 à R_9, on aura un signal en marches d'escalier, mais il sera possible de générer un signal impulsionnel, trapézoïdal...

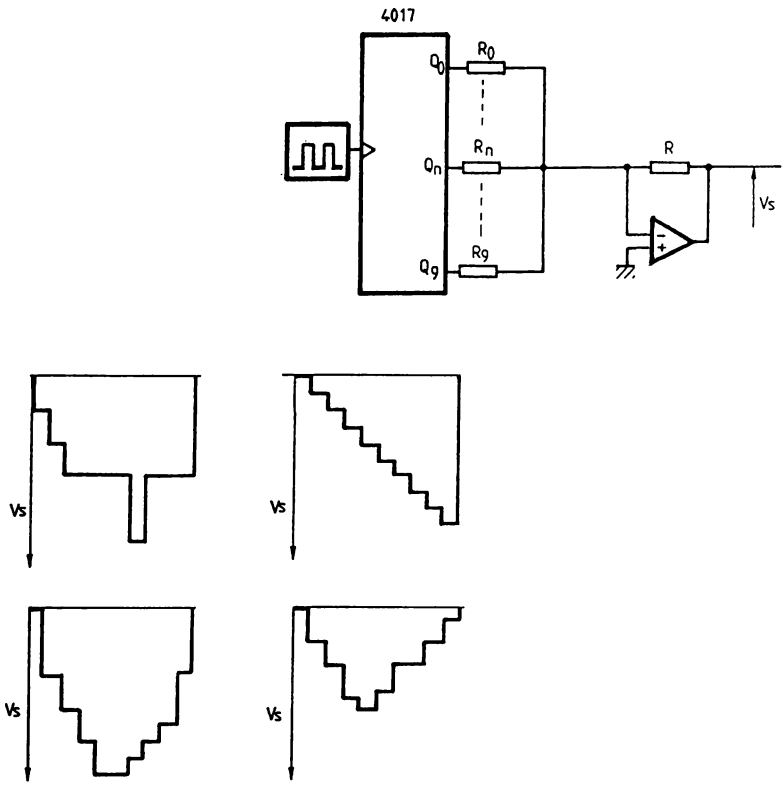


Fig. 5-27. — Encore un signal quelconque.

CHAPITRE VI

DÉTECTION DE SEUIL :

« MONTAGES TRIGGER »

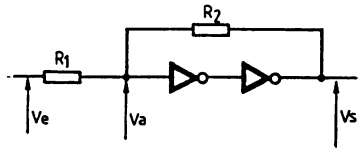
Ces montages sont principalement utilisés lorsque les signaux d'entrées fluctuent (bruit...) et risquent de causer un basculement néfaste, ainsi que pour des signaux d'entrée lents où il y a risque d'oscillations dans la zone de seuil, donc de basculements parasites, tout particulièrement si c'est l'entrée d'un compteur !

Mais on les rencontrera aussi pour une conversion entre familles logiques (TTL, FAST...).

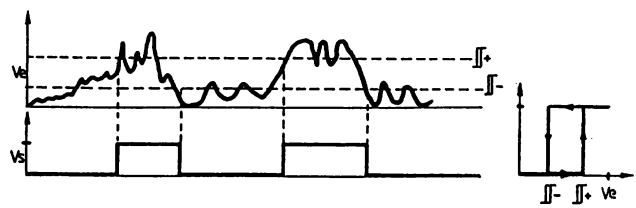
6-1. — Montages trigger élémentaires

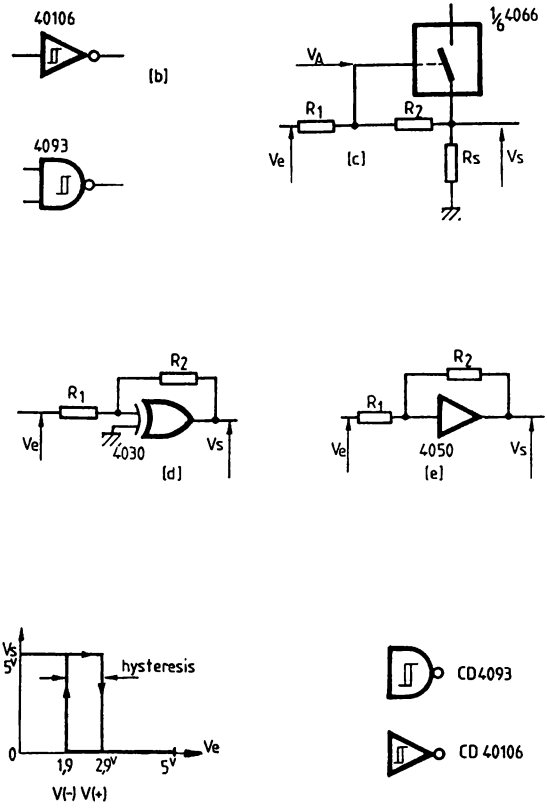
Montage [a] : Deux portes inverseuses sont montées en suiveur, pour disposer d'une contreréaction positive par R_2. Il faut considérer $R_1 < R_2$. $Va = (Vs \cdot R_1 + Ve \cdot R_2)/(R_1 + R_2)$. Si Ve = 0V, en tenant compte de l'hypothèse, Va vaut "0" quel que soit l'état de Vs. Le basculement ne pourra se faire que lorsque $Va = V_{seuil}$. Pour trouver le seuil quand Ve croît depuis 0V, on utilise l'équation sachant que Vs = "0", soit 0V. Ce seuil, appelé seuil haut ($\Pi_{(+)}$), valeur de Ve au moment de la commutation, sera fixé par Va. Or $V_{seuil} = Ve \cdot R_2/(R_1 + R_2)$, soit $\Pi_{(+)} = V_{seuil} \cdot (R_1 + R_2)/R_2$. De même, si Ve = Vcc, Vs vaut donc "1", le basculement se fera quand Ve passera sous le seuil bas, soit $\Pi_{(-)} = V_{seuil} \cdot (R_1 + R_2)/R_2 - Vcc \cdot R_1/R_2$. En considérant $V_{seuil} = Vcc/2$, $\Pi_{(+)} = (Vcc/2) \cdot (1 + (R_1/R_2)$ et $\Pi_{(-)} = (Vcc/2) \cdot (1 - (R_1/R_2))$. L'hystérésis est l'écart entre ces deux seuils, soit $\Pi_{(+)} - \Pi_{(-)} = Vcc \cdot R_1/R_2$. Pour Ve croissant, le basculement se produira à $Ve = \Pi_{(+)}$ et Vs passera à "1" tant que Ve n'a pas atteint le seuil bas, donc même si Ve croît encore ! Mais si Ve décroît et passe sous $\Pi_{(-)}$, Vs passe à "0" et y reste tant que le seuil haut n'est pas à nouveau franchi. La caractéristique de transfert du montage, Vs = f(Ve) est si explicite qu'on l'a réduite pour en faire le symbole graphique qui désigne la fonction détection de seuil (Π). Les seuils, étant fixés par R_1 et R_2, sont donc ajustables à la valeur souhaitée. A noter, pour R_2 infinie, les deux seuils sont confondus et valent V_{seuil}. Lors du calcul de R_1 et R_2, il faudra veiller à ce que les seuils soient correctement définis dans la plage de variation de Ve !

Le montage [b] présente deux portes auquelles on a affecté une détection de seuil de manière interne. Ses caractéristiques sont donc fixées par le constructeur, avec une certaine (!) précision, comme vous pouvez le voir sur le tableau. Mais cette fois, le graphe de la fonction de transfert est inversé car ce sont des opérateurs à négation logique en sortie.



[a]





≈:valeur typique

Vcc	V(-)	V(+)	Hystérésis
5V	0,9 à 2,8 ≈1,9V	2,2 à 3,6≈2,9V	0,3 à 1,6≈0,9V
10	2,5 à 5,2 ≈3,9V	4,6 à 7,1≈5,9V	1,2 à 3,4≈2,3V
15	4 à 7,4 ≈5,8V	6,8 à 10,8≈8,8V	1,6 à 5 ≈ 3,5V

Fig. 6-1. — Montages détecteur de seuil.

Les montages [c], [d], et [e] sont des variantes du montage [a], en utilisant d'autres types de portes. Les montages [d] et [e] se dispensent de commentaires car ces portes sont câblées simplement en suiveur. Le montage [c] nécessite quelques explications. On a réalisé un suiveur à l'aide d'une porte analogique CMOS. Si Va $>$ V_{seuil}, la porte est passante et équivaut à un circuit fermé, de résistance équivalente R_{on}, moins de 500 ohms. L'état "0" de la porte sera donc fixé par Rs. A partir des équations précédentes, on obtient $\Delta_{(+)} = (Vcc/2)\cdot(R_2+Rs+R_1)/(R_2+Rs)$ et $\Delta_{(-)} = (Vcc/2)\cdot(R_2+R_{on}-R_1)/(R_2+R_{on})$, à condition que $R_{off} >> Rs >> R_{on}$. A expérimenter car la pratique est un peu plus complexe puisque autour de sa tension de seuil, la porte analogique commence à devenir conductrice et la sortie est à haute-impédance. Expérimentez $R_1 = 22$ kohm, R_2 47 kohm et Rs = 1 kohm.

6.2. — Détection de seuil pour le signal alternatif

Si le signal d'entrée est alternatif avec une composante négative, il convient d'utiliser une capacité de liaison C. R_1 et R_2 fixeront le point de polarisation. Si V_R est proche de V_{seuil}, les seuils lui seront symétriques. C associé à R_1 et R_2 constitue un filtre passe-haut et les valeurs de ces composants fixent la fréquence de coupure à $f_c=1/(2\cdot\pi\cdot C\cdot(R_1//R_2))$. Il ne faudra pas oublier d'en tenir compte !

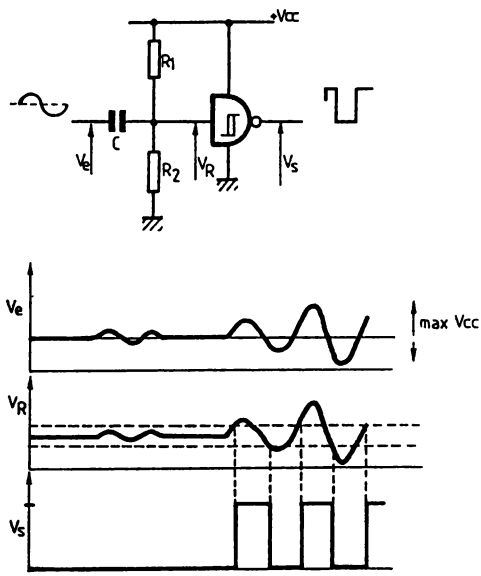


Fig. 6.2. — Détection de seuil, signal alternatif.

6.3. — Protection d'un détecteur de seuil

Si le signal d'entrée dépasse les limites fixées par les tensions d'alimentation du circuit mais si les seuils sont compris entre ces limites, il faut monter un atténuateur en entrée. Un simple pont diviseur peut convenir si les limites extrêmes sont connues. Dans le cas contraire, R_2 polarise l'entrée en cas d'absence de signal. R_1 limite le courant dans les diodes et limite ainsi la tension d'entrée de la porte à $Vdd+V_D$ et $Vss—V_D$. Il faudra utiliser des diodes de tension directe inférieure à 0,5V pour le courant maximum si celui-ci dépasse 10mA. Si C est câblé, on réalise un filtre passe-bas qui permet une réjection du bruit, sûrement en proportion avec Ve.

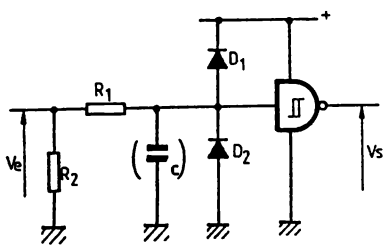


Fig. 6-3. — Protection.

6-4. — Différences entre portes avec ou sans 'trigger'

Pour bien fixer les conséquences de bruit sur une entrée CMOS, on compare la tension de sortie de deux portes. La première est à entrée 'trigger'. Un bruit inférieur à la tension d'hystérésis ne provoquera aucun basculement parasite. Par contre, une simple porte basculera et oscillera pour un bruit même très faible (autour de V_{seuil} !). De même, pour un signal à temps de montée et descente lents, injecté à l'entrée d'une simple porte : Autour de V_{seuil}, la sortie basculera et l'appel de courant, déstabilisera la porte qui rebasculera et finalement oscillera !

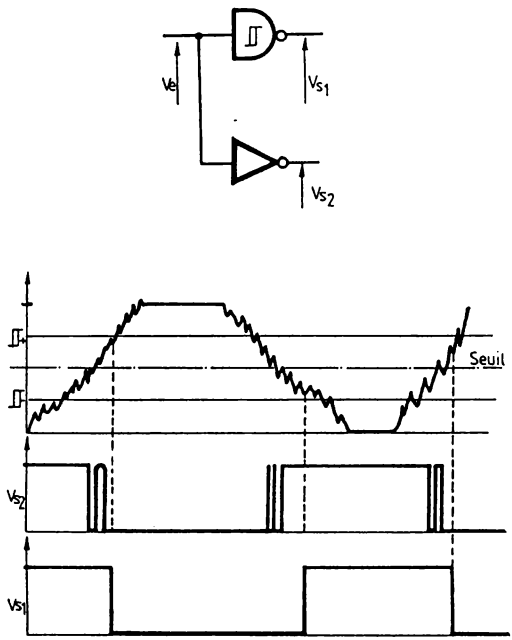


Fig. 6-4. — Différences

6-5. — Détection de batterie usée

Ce montage permettra de détecter une batterie, usée ou de tension faible, rechargeable ou non. La tension Vz est stable tant que Vcc lui est supérieure. Le seuil de basculement de la porte 'trigger' varie avec Vcc. Ainsi Vcc décroît, le seuil décroît. Il suffira donc de dimensionner correctement D, R_1 et R_2 pour choisir le seuil de basculement. R_D limite le courant dans la zener D et impose $R_1+R_2>>R_D$. R fixe le courant dans la diode électroluminescente qui s'allumera lorsque la tension de batterie sera inférieure à la consigne. Si Vcc est inférieur à Vz, la sortie pourra basculer, aussi la diode zener aura une tension supérieure à V_{seuil} (5,6 V dans notre exemple).

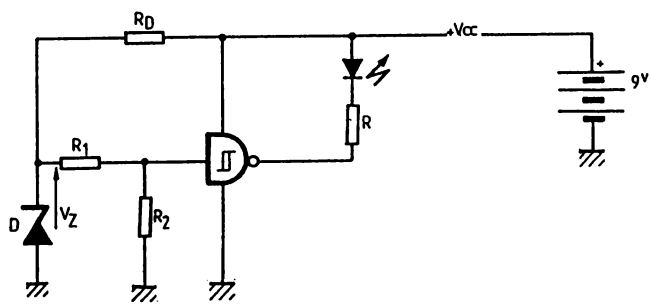


Fig. 6-5. — Détection de batterie usée.

6.6 — Détecteur photo-électrique

Ultra-simple ! Le seuil de déclenchement est fixé par le pont diviseur résistif créé par R et D. D est une photodiode, et comme un élément photorésistif, sa résistance équivalente diminue avec l'intensité de la lumière. Il est donc possible de la remplacer par une LDR, un phototransistor... R permettra de régler le seuil de déclenchement. Cellule éclairée, la sortie est donc à "0". En intervertissant R et D, on obtiendra pour les mêmes conditions, les états complémentaires en sortie. Il est également possible d'échanger D par un quelconque capteur dont la résistance équivalente varie en fonction de l'information à surveiller (température, pression...).

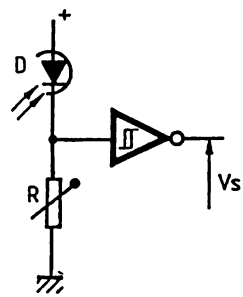
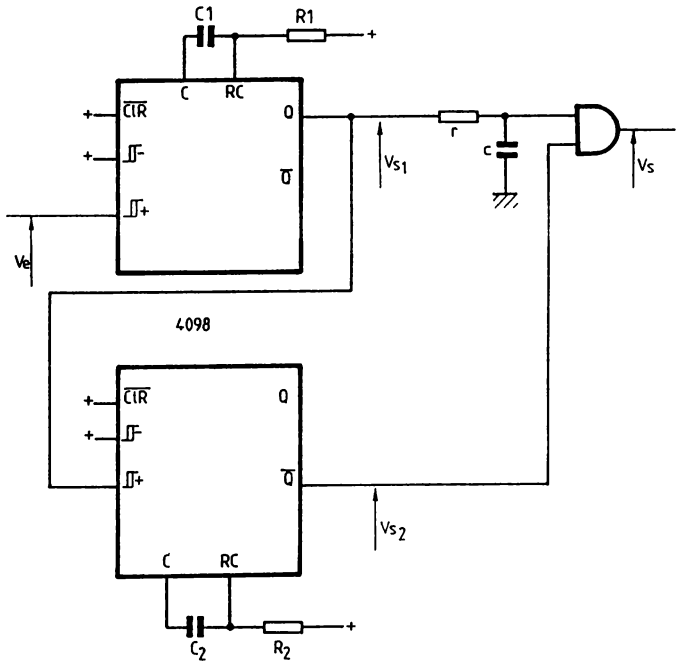


Fig. 6-6. — Détecteur photo-électrique.

Après les détecteurs analogiques, voici quelques détecteurs "logiques". Leur signal d'entrée est un signal logique, aussi les seules détections sont celles de fréquence, rapport cyclique et codage.

6.7 — Discriminateur de fréquence

On utilise un double monostable intégré, le 4098. Chaque monostable est câblé redéclenchable sur front montant. Le premier monostable fixera sa sortie à "1" pour Ve de fréquence supérieure à $f_1 = k \cdot R_1 \cdot C_1$. Donc Vs_2 sera à "0" pendant t_2 et à "1" pendant le reste du temps de la période du signal en Vs_1. Dès que $f > f_1$, Vs_1 passe à "1", et ce dernier front montant génère une dernière impulsion en Vs_2, dont la sortie restera après à "1" tant que $f > f_1$. Vs passera alors à "1", si $f > f_1$ et ce après un délai t_2, donc pendant au moins t_2. La fréquence limite f_1 sera fixée par R_1C_1 et le délai de validation de la sortie, t_2, par R_2C. Il faut que R_2C_2 soit supérieur à R_1C_1 ! Le réseau RC compense le retard dû au second monostable (temps de propagation) et évite les pics parasites (glitches) en sortie.



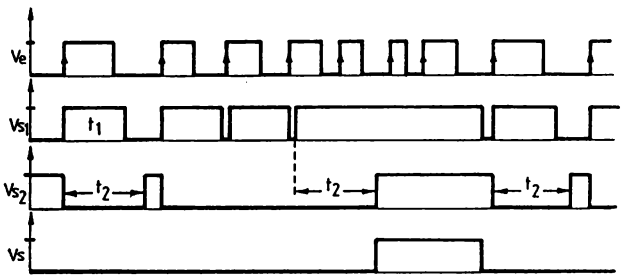


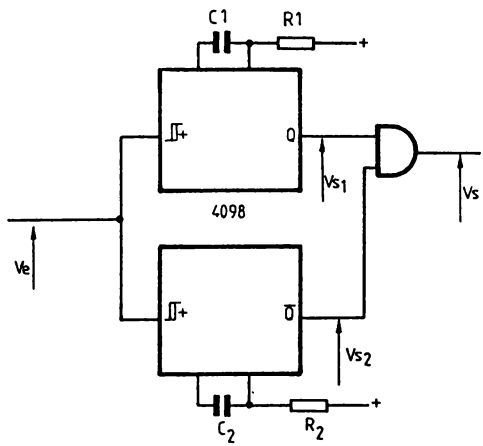
Fig. 6-7. — Discriminateur de fréquence.

6-8. — Fenêtre de fréquences

A l'aide de deux monostables redéclenchables, de durées t_1 et t_2, on dispose de deux informations Vs_1 et Vs_2. En respectant $R_1C_1 \geqslant R_2C_2$, $t_1 > t_2$ et $f_1 < f_2$. Alors suivant la fréquence du signal en Ve, on obtiendra :

f	Vs_1	Vs_2	Vs
$f<f_1$	t_1	t_1	
$f_1<f<f_2$	"1"	t_2	
$f_2<f$	"1"	"0"	"0"

donc, en sortie Vs : un état stable "0", pour une fréquence au-dessus de la fenêtre de valeurs ; des impulsions de durée t_1—t_2 après le front montant de déclenchement, pour une fréquence inférieure ; et des impulsions de durée t_2 au front montant de Ve pour la zone dans la fenêtre.



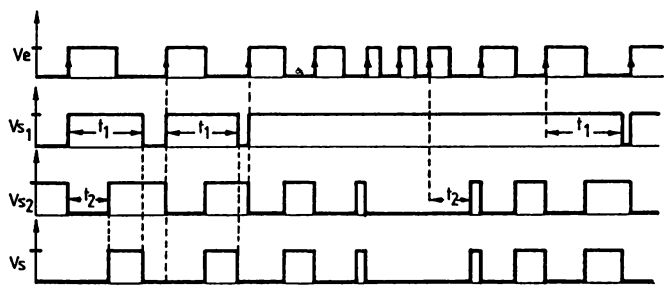


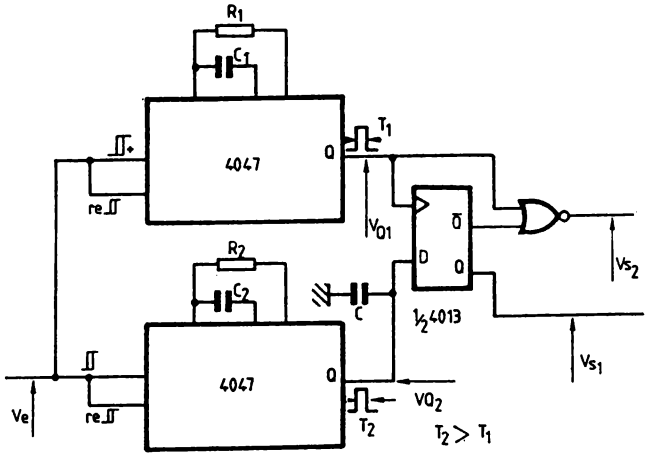
Fig. 6-8. — Fenêtre de fréquences.

6.9 — Détection de bande de fréquence

On utilise deux monostables redéclenchables, en l'occurence du type 4047. Leurs constantes de temps fixent la période maximum du signal d'entrée, soit T_1 et T_2, et donc les fréquences de coupures hautes $f_1=1/T_1$ et $f_2=1/T_2$. Si f<fn, le monostable génèrera des impulsions de durée Tn. Plus f croît, plus l'état "0" rétrécit et pour f >fn, la sortie reste à "1". Le signal en V_{Q1} déclenche une bascule D qui mémorise l'état en V_{Q2}. Comme la durée de l'impulsion en V_{Q1} est inférieure à celle en V_{Q2}, sa limite en fréquence est plus élevée. Donc si $f<f_2$, D="0" car le signal V_{Q2} est garanti en retard par C (ordre de 100pF) et Vs_1 passe à "0", ceci au front montant de chaque période du signal d'entrée. Si $f>f_2$ et $f<f_1$, D="1" et Q passe à "1", toujours au front montant de Ve. Si $f<f_1$, V_{Q1} ="1" et la sortie de la bascule reste à "1" car son horloge ne présente plus de front montant.

Avec la porte NON-OU en sortie V_{S2}, il est possible de retrouver une horloge de même fréquence que celle d'entrée lorsque celle-ci est comprise entre les deux bornes. La borne basse est limitée par la sortie Q="1" de la bascule et la borne haute par l'état "1" constant de V_{Q1}. On pourrait alors qualifier ce montage de "filtre passe-bande digital".

Expérimentez : $C_1=C_2=10$ nF $R_1=22$ kohm $R_2=47$ kohm C=100 pF → BP=1 kHz à 2 kHz.



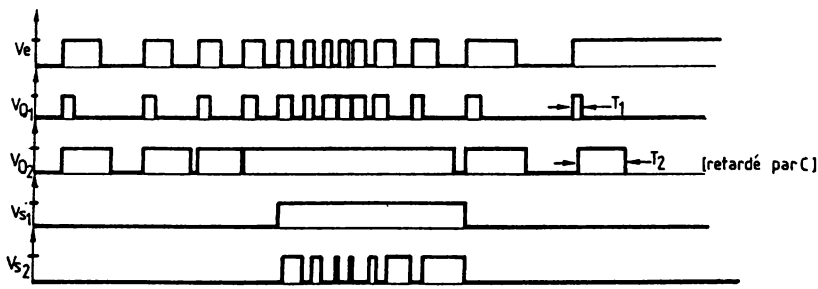


Fig. 6-9. — Détection de bande de fréquence.

CHAPITRE VII

DES REGISTRES ET DES COMPTEURS

En logique séquentielle, les éléments utilisés ne sont plus des portes élémentaires, mais des bistables, seuls (registres) ou associés (compteurs). Les registres, ou bascules, peuvent être réalisés avec des portes dans certains cas particuliers et mettront en évidence les états bistables. Il sera alors aisé de passer à la mise en œuvre de bascules et compteurs intégrés.

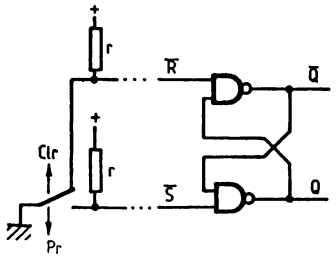
Définition : bistables souligne la possibilité d'états différents pour des variables combinatoires identiques.

7.1 — Bascules RS

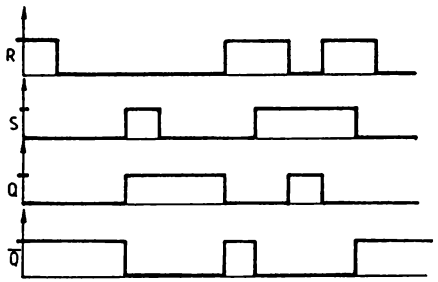
Une bascule RS est un bloc logique doué de mémoire, R et S étant les abréviation de 'Reset', mise à "0" et 'Set', mise à "1". Selon les états actifs de R et S, on distinguera deux types : la bascule $\overline{RS}$ et la RS, respectivement en [a] et [b] sur la figure.

Analysons les différents cas de la bascule $\overline{RS}$ ([a]). Si $\overline{R}$="0" et $\overline{S}$="1", la sortie $\overline{Q}$ vaut "1", et donc Q="0", ce qui correspond à une mise à zéro. Si $\overline{R}$="1" et $\overline{S}$="0", la sortie Q vaut "1", et donc $\overline{Q}$="0", ce qui correspond à une mise à un. Si $\overline{R}$=$\overline{S}$="1", l'état des deux sorties est le même que celui précédent la nouvelle combinaison de $\overline{RS}$, donc un état de mémorisation ! Si $\overline{R}$=$\overline{S}$="0", les deux sorties sont à "1", cas particulier de cette bascule. On essaiera dans la mesure du possible d'interdire cette combinaison d'entrée car les deux sorties ne sont plus complémentées. A noter que cette combinaison ne seras pas mémorisée, puisque pour passer de $\overline{RS}$="00" à $\overline{RS}$="11", on passera par une des combinaisons "10" ou "01" ! La table de vérité rappelle ces quatres cas.

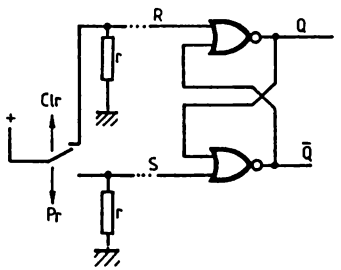
La bascule RS se différencie de la première, par les états actifs de R et S, par l'utilisation de portes NON-OU. Il suffira de se reporter à la table de vérité qui explicite les combinaisons.



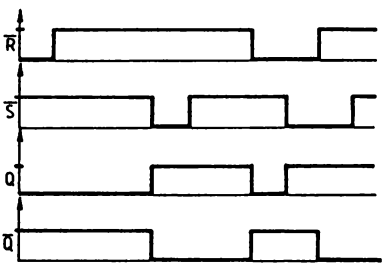
$\overline{R}$ $\overline{S}$	Q	$\overline{Q}$	
Ø 1	Ø	1	Mise à "Ø"
1 Ø	1	Ø	Mise à "1"
1 1	Q_{t-1}	$\overline{Q_{t-1}}$	Mémorisation
Ø Ø	1	1	!



[a]



R S	Q	$\overline{Q}$	
Ø 1	1	Ø	Mise à "1"
1 Ø	Ø	1	Mise à "Ø"
1 1	Ø	Ø	!
Ø Ø	Q_{t-1}	$\overline{Q_{t-1}}$	Mémorisation



[b]

Fig. 7-1. — Bascules $\overline{RS}$ et RS.

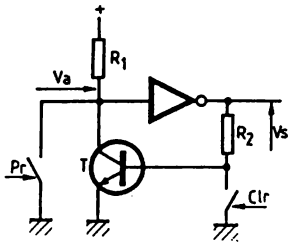
7.2 — Bascules

Parfois, il reste une porte logique libre, aussi il sera intéressant de l'utiliser pour réaliser une bascule, plutôt que d'utiliser un autre circuit. Ces bascules ne sont évidemment pas aussi performantes que leurs homologues intégrées.

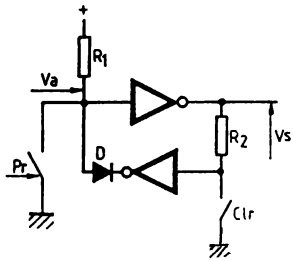
[a] : Si T est bloqué et les interrupteurs ouverts, Va = "1" et Vs = "0". Si on ferme Pr, Va = "0", Vs passe à "1" et T se sature. Si on ouvre Pr, Va reste à "0" car le transistor est saturé et Vs reste à "1". Pour remettre Vs à "0", il suffira de bloquer le transistor par une fermeture de Clr. A noter que si Pr et Clr sont fermés, Vs = "1".

Les montages [b], [c], [d], [e], [f] sont des variantes du montage [a], puisque l'on remplace le transistor T par une porte avec une diode d'isolement, équivalent à une porte à collecteur ouvert ou par un transistor MOS, comme on en trouve dans le circuit 4007 (cf chapitre VIII). D'autres variantes se font sur la mise à zéro permettant une mise à "0" unique et commune, agissant sur plusieurs bascules.

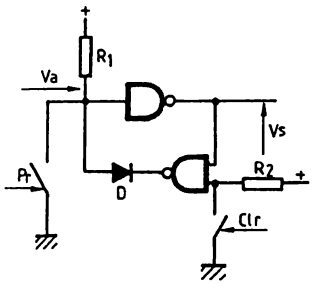
Des montages un peu particuliers, mais très intéressants pour la réalisation d'interrupteurs sensitifs. En effet, il est possible de porter R_1 et R_2 à des valeurs élevées (sauf R_2 dans le montage [a] et [e]), car elles n'ont qu'un rôle de polarisation. ($R_1 = R_2 = 1M$ à 3,3 Mohms).



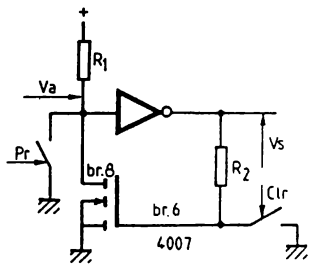
[a]



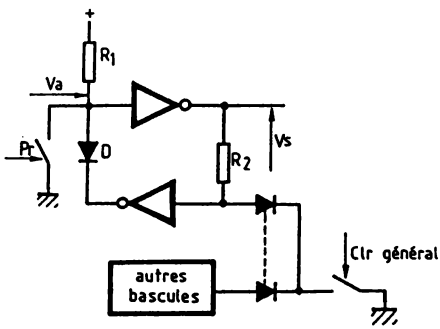
[b]



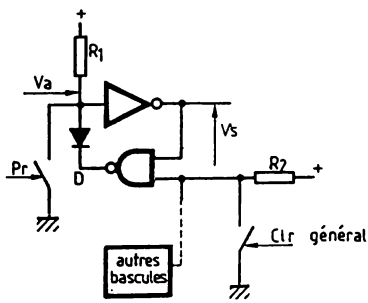
[c]



[d]



[e]



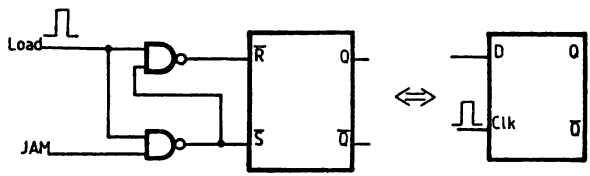
[f]

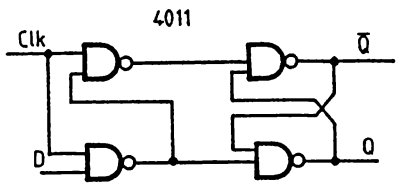
Fig. 7-2. — Bascules.

7-3 — Verrou D ("latch")

On considère une bascule $\overline{RS}$ précédée de deux portes NON-ET. Si Load="0", $\overline{R}=\overline{S}=$"1", on est donc en -mémorisation-. Si Load="1", $\overline{S}=\overline{JAM}$ et $\overline{R}$=JAM. Donc si JAM="1", Q="1", $\overline{Q}$="0" et si JAM="0", Q="0" et $\overline{Q}$="1". Donc la sortie sera la recopie de JAM quand Load="1". Le cas $\overline{R}=\overline{S}$="0" ne peut jamais se produire, donc Q sera toujours le complément de $\overline{Q}$!

Ce montage est équivalent à un verrou D, dont l'horloge serait active pour un état "1", et non un front montant, comme dans le cas de la bascule 4013. On se reportera aux chronographes ! En anglais on différencie ces bascules par leur appellation "latch" ou "flip flop" en français par 'verrou' et 'bascule'.





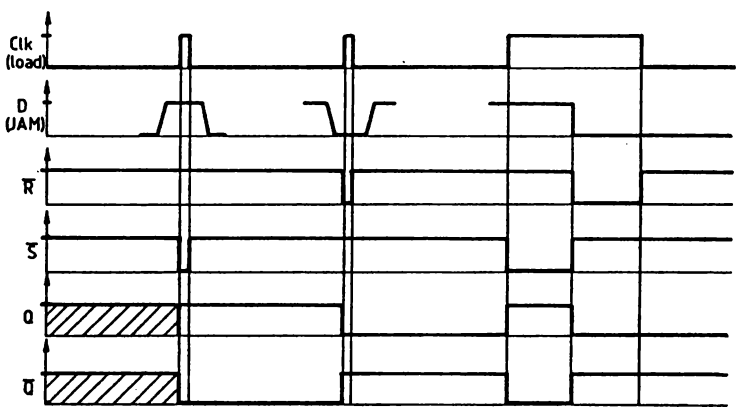
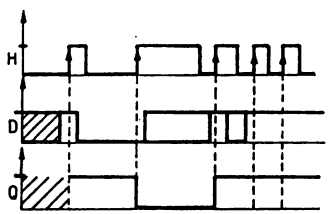


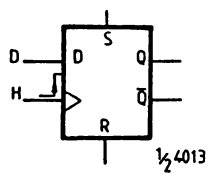
Fig. 7-3. — Verrou D.

7.4 — Bascule D ("flip-flop")

Le circuit 4013 est une double bascule D qui déclenche sur front montant uniquement et qui dispose de plus d'entrées de mise à "0" et de mise à "1". La table de vérité se suffit à elle même pour apporter les explications ! Attention au temps de montée du signal de commande en H ! Si le temps de montée est trop long, il est nécessaire d'intercaler une porte 'trigger' (cf fig. 7.5).

On notera que si la sortie $\overline{Q}$ est reliée à l'entrée D, la sortie Q changera d'état à chaque front montant d'horloge, et la sortie complémentée de même. On a alors réalisé un compteur 1 bit (1), qui est aussi appelé diviseur de fréquence par 2, selon son utilisation. Dans ce cas le signal de sortie aura un rapport cyclique de 50 %.





R	S	D	H	Q_t	$\overline{Q_t}$	
1	Ø	X	X	Ø	1	Mise à "Ø"
Ø	1	X	X	1	Ø	Mise à "1"
1	1	X	X	1	1	! (varie selon fabricant)
Ø	Ø	Ø	↓	Ø	1	
Ø	Ø	1	↓	1	Ø	
Ø	Ø	X	Ø	Q_{t-1}	$\overline{Q_{t-1}}$	Mémorisation
Ø	Ø	X	1	Q_{t-1}	$\overline{Q_{t-1}}$	
Ø	Ø	X	↑	Q_{t-1}	$\overline{Q_{t-1}}$	

Fig. 7-4. — Bascule D.

7.5 — Front montant

Pour qu'un élément logique déclenché sur front montant déclenche correctement, il est nécessaire que le signal de déclenchement soit exempt de bruit, surtout si son temps de montée est long (>70μS à 5V pour la bascule 4013, par exemple). Il ne faudra pas hésiter à intercaler une porte 'trigger' si le bruit est susceptible d'engendrer un déclenchement fautif ! De même, pour des temps de montée lents, ce sera impératif ! Cette remarque est à respecter pour tous les éléments logiques déclenchés sur front : bascules, compteurs, registres à décalage...

Ainsi, à t_1, plusieurs déclenchements sont possibles selon l'amplitude du bruit sur H. Il est de même à t_2, bien qu'un seul déclenchement soit représenté sur la figure. D'où le risque de déclenchements fautifs... En sortie de la porte 'trigger', le signal sera exempt de bruit et son temps de montée sera très faible ! La tension d'hystérésis de la porte 'trigger' définira l'amplitude maximum du bruit sur H.

A noter que certains éléments logiques possèdent déjà une entrée 'trigger' de déclenchement, évitant donc ces problèmes ! Il ne sera donc pas utile de prévoir une porte 'trigger' supplémentaire ! Attention aussi au circuit utilisé : certains constructeurs améliorent leurs circuits par rapport à leurs concurrents (RTC par exemple, référence HEF4xxx) ! Reportez vous à la fiche technique du fabricant en cas de doute !

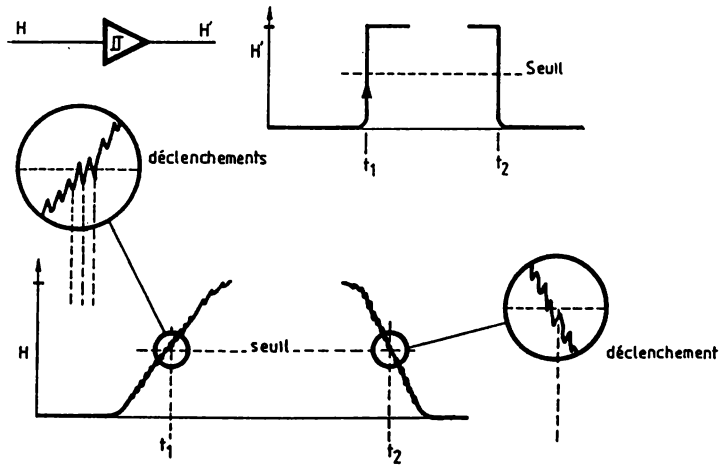


Fig. 7-5. — Front montant.

7.6 — "Mémoire" à seuil

On utilise un détecteur à seuil auquel on adjoint un réseau RD qui forcera l'état de sortie, de telle manière que le seuil une fois atteint, la sortie ne puisse rebasculer.

On considère Ve>$\mathcal{\Pi}_{(+)}$, donc Vs="1" et la diode D est bloquée. Si Ve diminue et atteint le seuil $\mathcal{\Pi}_{(-)}$, Vs passe à "0". D conduit alors et R force l'entrée de la porte à "0", à condition de respecter la condition R<<R_2. Si Ve franchit $\mathcal{\Pi}_{(+)}$, la sortie ne basculera plus, car R aura modifié la valeur de $\mathcal{\Pi}_{(+)}$. On a donc réalisé une "mémoire". On pourra, l'utiliser pour surveiller une tension d'alimentation (Ve) et détecter une micro-coupure ! Le circuit devra dans ce cas, disposer d'une réserve d'énergie (*) suffisante pour parer à cette micro-coupure !

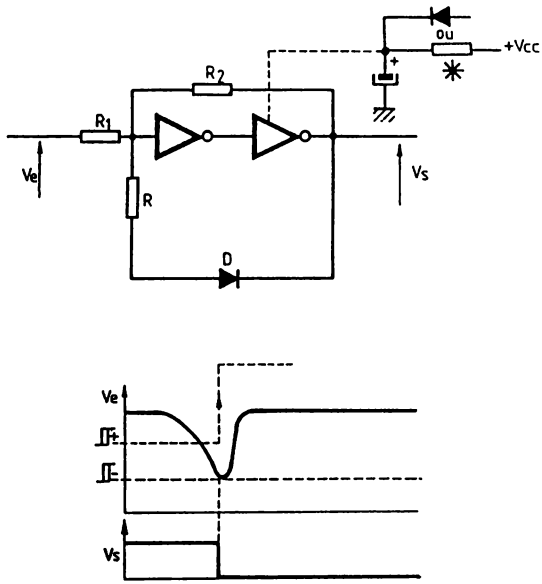


Fig. 7-6. — "Mémoire" à seuil.

7.7 — "Mémoire" à seuil avec réinitialisation

On adjoint au montage précédent, un transistor. Il est normalement bloqué et ne modifie pas le montage de l'étude de la fig. 7.6. Mais, si on le sature lorsque Ve est inférieure au seuil défini, on annule le contenu de la mémoire !

Ainsi, en [a], la mémoire force la sortie à "0". Si on sature T (Set="0"), l'état à l'entrée de la porte fixe Vs à "1". En [b], montage complémentaire (D inversée), on a le fonctionnement inverse ! A noter que le courant de collecteur de T sera egale à $V_{cc}/(R//R_2)$! On ne devra donc pas prévoir des valeurs trop faibles pour R et R_2 !

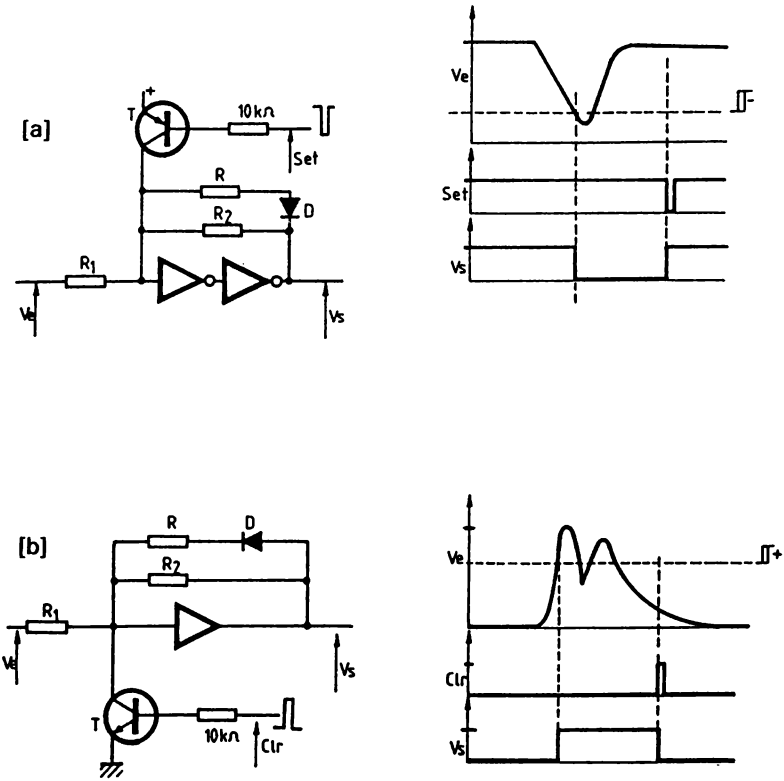


Fig. 7-7. — Mémoires à seuil avec réinitialisation.

7.8 — Equivalences

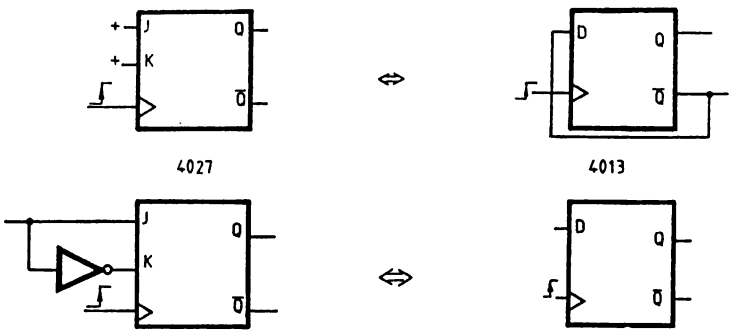
On oublie un peu la bascule JK qui était très utilisée pour réaliser, en outre, des compteurs synchrones particuliers. La table de vérité (de la HEF 4029) nous rafraîchit la mémoire ! La bascule déclenche sur le front montant et l'état de la sortie répond à l'équation :

$$Q = J \cdot \overline{Q_{t-1}} + \overline{K} \cdot Q_{t-1}$$

avec Q_{t-1}, l'état de Q précédant le déclenchement

Si J=K="1", on observe le mode particulier, 'toggle' ! La sortie change d'état à chaque front montant de H, comme dans le cas d'une bascule D, avec Q reliée à D (diviseur par 2). On appelle une telle bascule, une bascule "T".

Si J=K, on n'a que deux cas, JK="10" ou "01", soit la sortie Q à "1" ou à "0", exactement comme dans le cas d'une bascule D. On pourra donc remplacer une bascule D par une JK en utilisant une porte inverseuse ! Attention cependant au fait que K est en retard par rapport à J du temps de propagation de la porte inverseuse ! Il faudra donc veiller à ce que J et K soit stables avant le front montant de H.



J	K	H	Q_t	$\overline{Q_t}$	
Ø	Ø	↓	Q_{t-1}	$\overline{Q_{t-1}}$	Mémoire
Ø	1	↓	Ø	1	'Clr'
1	Ø	↓	1	Ø	'Set'
1	1	↓	$\overline{Q_{t-1}}$	Q_{t-1}	'Toggle'
X	X	Ø	Q_{t-1}	$\overline{Q_{t-1}}$	Mémoire
X	X	1	Q_{t-1}	$\overline{Q_{t-1}}$	Mémoire
X	X	↑	Q_{t-1}	$\overline{Q_{t-1}}$	Mémoire

(HEF 4027)

Fig. 7-8. — Equivalences.

7.9 — Compteurs "discrets"

Il est possible de réaliser des compteurs à l'aide de bascules D (ou JK). Il existe deux types de compteurs :

[a] : Asynchrones : Les états des sorties sont stables après un temps égal à la somme des temps de propagation des bascules constituant le compteur. Ainsi, au front montant de H, Q_0 bascule après le temps de propagation de la 1ere bascule et seulement alors, la seconde bascule est déclenchée (front montant de Q_0). Q_1 change d'état après le délai de propagation de la bascule... et ainsi de suite, pour en arriver à Q_n. On remarque donc une limitation en fréquence de ce type de compteur, augmentant avec le nombre de bits de sortie. On conseillera donc ce type de compteur pour tout montage à horloge de basse-fréquence. Pour réaliser un tel compteur, il suffira donc de relier des bascules T (diviseur par 2) en cascade !

[b] : Synchrones : Au front montant de H et après un temps de propagation moyen, toutes les sorties prennent leur état stable en même temps. En réalité, les sorties basculent suivant le temps de propagation propre à la porte affectée, mais le temps pour obtenir les sorties stables, ne dépassera jamais le temps de propagation de la porte la plus lente. Pour obtenir ce mode de fonctionnement, l'horloge sera commune à toutes les bascules et les entrées D (ou JK) seront une combinaison logique des sorties. Cette combinaison logique sera plus complexe au fur et à mesure qu'on progresse dans le rang du bit de sortie. La combinaison logique fera correspondre à D, un état tel que la sortie de la bascule prenne l'état normalement défini par le cycle du compteur. Regardez par exemple, le schéma interne du compteur 4029, sur sa fiche technique !

Il exite aussi un type particulier de compteur, appelé de "Johnson". On en parlera pas en détail, mais il convient de savoir que le codage n'est plus du binaire pur, mais du binaire réfléchi, caractérisé par le changement d'une seule sortie pour chaque impulsion d'horloge. On l'utilisera pour des décodages sans fautes. Le 4017 utilise une telle structure interne.

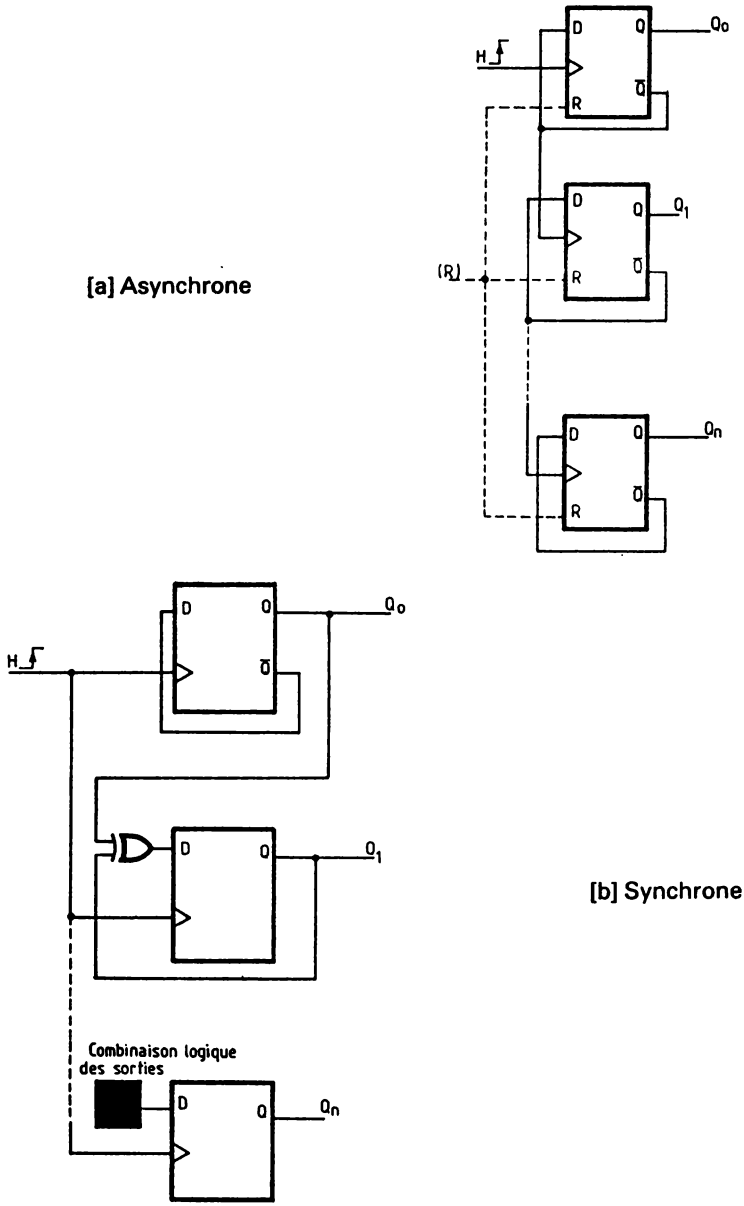


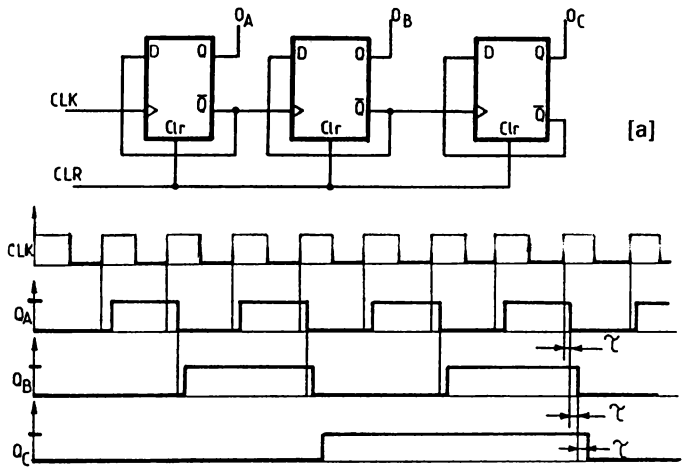
Fig. 7-9. — Compteurs "discrets".

7.10 — Compteur asynchrone modulo *n*

Le modulo désigne le nombre de combinaisons des sorties qui forment le cycle du compteur et le rapport de division de fréquence entre le signal d'horloge et une sortie ne générant qu'un créneau. Ainsi le modulo d'un compteur réalisé par une cascade de *N* diviseurs par deux, est égal à 2^N et le signal sur chaque sortie a un rapport cyclique de 50 %. Ainsi en [a], le modulo vaut $2^3=8$, soient les combinaisons pour $Q_C Q_B Q_A$: "000", "001" "010", "011", "100", "101", "110" et "111" qui forment tout simplément les codes binaires des chiffres de 0 à 7. Les chronographes reprennent les différentes combinaisons du cycle et mettent en valeur le temps de propagation d'un compteur asynchrone et aussi les rapports de division de fréquence, ainsi que le rapport cyclique de 50 %, entre les sorties et l'horloge d'entrée.

Mais si on veut utiliser un compteur de modulo N, différent d'une puissance de deux, par exemple 6, que faut-il faire ? Il suffit de déterminer le modulo du compteur à utiliser et de modifier son cycle pour obtenir le modulo désiré. On choisit donc le modulo 2^m du compteur par la formule : $2^{(m-1)} < N < 2^m$. Comme N=6, on choisira un compteur modulo 2^3, donc 8. Puis il conviendra de limiter son cycle à N combinaisons, en effectuant une remise à zéro du compteur pour la combinaison des sorties égales à N. Le cycle du compteur sera donc de 0 à N—1, soit donc bien N combinaisons. Attention, si le modulo nécessite la mise en cascade de compteurs ou de bascules, il est nécessaire de garantir la remise à zéro de tous les compteurs, en utilisant un monostable (car si un compteur est remis à zéro plus vite que l'autre, il inhibe la commande de remise à zéro avant que l'autre compteur ait pu s'initialiser !).

Pour une utilisation en division de fréquence, il faudra choisir la sortie (Q_B ou Q_C) pour disposer d'une période unique durant le cycle. Le rapport cyclique ne sera donc plus de 50 % et dépendra de la sortie choisie. A noter que la combinaison N se retrouvera en sortie, le temps de la mise à zéro, mais sera très brève (sauf dans le cas de compteurs en cascade où il faudra la garantir pendant un temps un peu plus long). Pour une division de fréquence, on excluera donc la sortie (Q_B) qui aura donc une impulsion parasite. Pour décoder la combinaison N en sortie, il suffit de réaliser un ET logique uniquement sur les sorties dont les bits sont à "1" pour la combinaison N, soit "110", donc Q_C et Q_B. On se reporte à la figure [b], [c] ou [d], selon que l'on choisit d'utiliser une porte ET, un ET à diodes ou des portes NON-ET pour disposer encore d'une commande de remise à zéro, celle du compteur étant utilisée !



"6" = 11 $\emptyset$ → $Q_A = \emptyset$ $Q_B = 1$ $Q_C = 1$

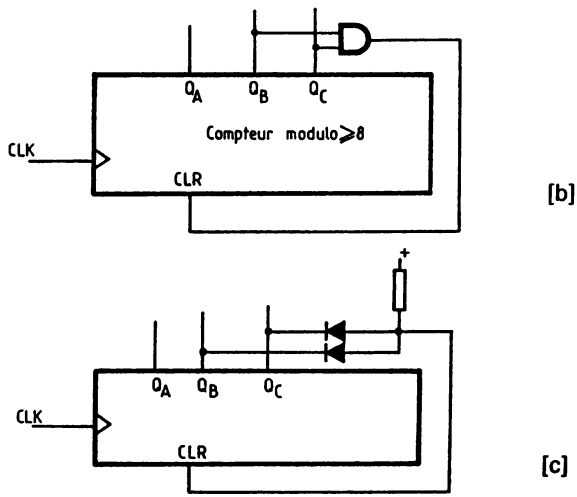
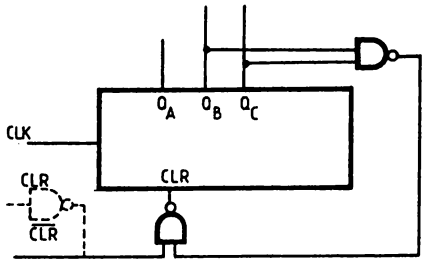


Fig. 7-10 a, b, c. — Compteur asynchrone modulo n.



[d]

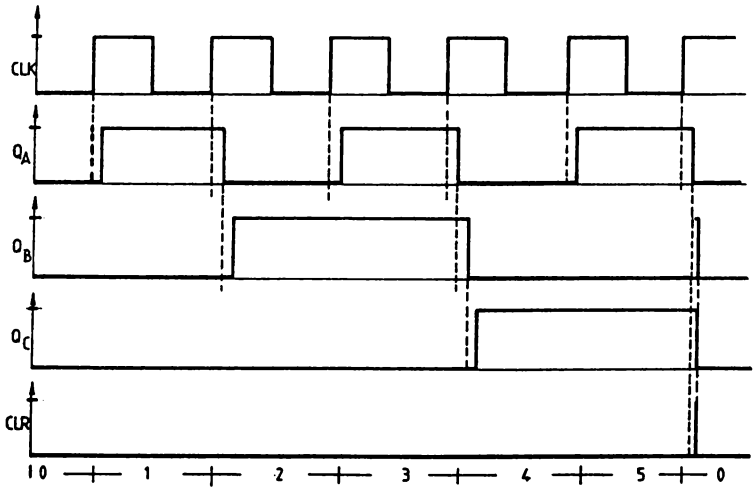


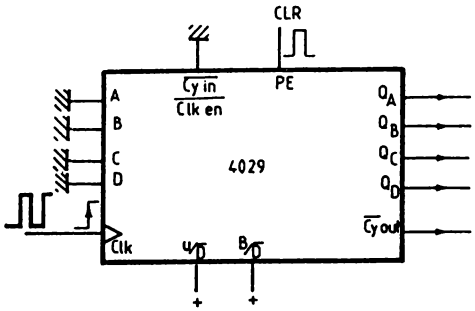
Fig. 7-10d. — Compteur asynchrone modulo 6 avec CLR

Analysons le phénomène de la remise à zéro : Quand la combinaison "6" apparaît, le ET logique fournit un "1" à l'entrée Clr. Si la bascule de Q_c est la plus rapide, Q_c repasse à "0" et la sortie du ET aussi. Clr vaut alors "0" et la remise à "0" des autres bascules n'est plus garantie. Normalement le temps de propagation de la porte ET devrait suffire à garantir un minimum, sinon il sera nécessaire d'insérer un monostable pour garantir la remise à zéro correcte . Cette remarque est à tenir en compte dans le cas de compteurs réalisés par une association de bascules, ou de mise en cascade . De plus, il faudra respecter la durée minimum de l'impulsion de Clr précisée sur la notice constructeur .

7.11 — Compteur synchrone modulo *n*

On a utilisé un compteur "discret" pour l'étude précédente. Il est possible de conserver cette méthode en utilisant n'importe quel type de compteur intégré. Notre choix s'est porté sur un 4029, compteur synchrone 4bits, capable de compter ou décompter en binaire ou BCD. Son modulo pourra être de 10 ou 16, mais de 16 dans notre cas, car il est câblé en compteur BINaire (B/$\overline{D}$="1"). Il déclenche sur un front montant et dispose d'une remise à N, plutôt que d'une remise à zéro. N sera alors défini par la combinaison binaire sur les broches A, B_i C et D. Il dispose en plus d'une sortie $\overline{Cy_{out}}$ pour la mise en cascade.

En [a], simplement le schéma d'utilisation pour définir les chronographes d'un compteur synchrone et mettre en évidence le basculement des sorties.



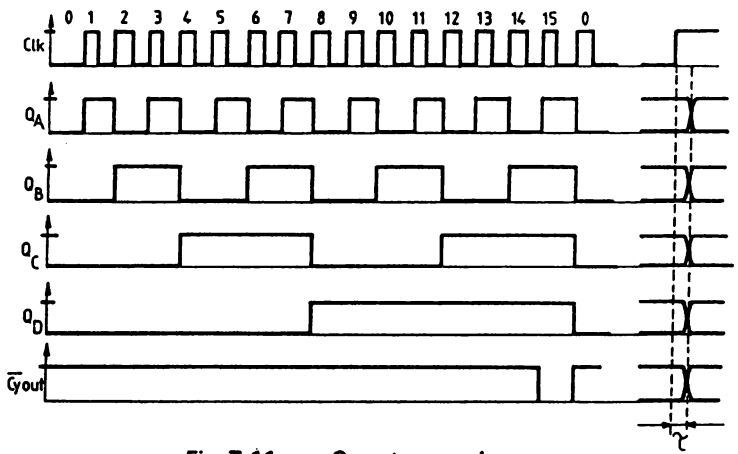
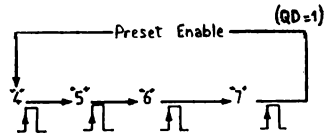


Fig. 7-11 a. — Compteur synchrone.



Cycle de comptage

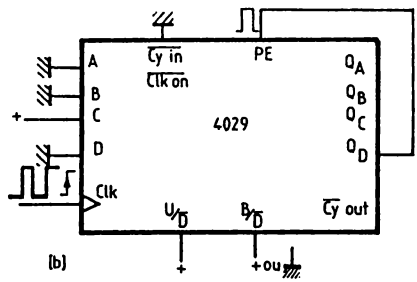


Fig. 7-11 b. — Compteur synchrone modulo 4 particulier

En [b], on a modifié le cycle du compteur ! Quand Q_D="1", donc pour le chiffre 8, on réalise la remise à n du circuit. La combinaison ABCD = "0010" fixe n à 4. Le cycle du compteur sera donc : $Q_AQ_BQ_CQ_D$ = "0010", "1010", "0110", "1110", soit 4,5,6,7 en décimal.

7.12 — Compteur-Décompteur

L'application en sera un générateur de signaux triangulaires symétriques en faisant suivre les sorties par un convertisseur D/A (Digital/Analogique) 4 bits qui convertira le code en tension proportionnelle. Ce convertisseur pourra utiliser un circuit spécialisé ou être réalisé comme à la figure 5.24.

Le 4029 dispose d'une sortie $\overline{C_{YOUT}}$ active à l'état bas ("0") quand le code de sortie est maximum en comptage et minimum en décomptage, soit 15 et 0 en BINaire. Le 4029 impose un changement de U/D après le front montant d'horloge. Il suffit d'utiliser une bascule T qui déclenchera à chaque front descendant le $\overline{C_{YOUT}}$. Sa sortie fournira le signal $U/\overline{D}$.

L'inverseur permettra le blocage du compteur. En le revalidant, la combinaison de départ sera 0 en mode comptage. Le compteur nécessite $\overline{C_{YIN}}$="0" ($\overline{CLK_{EN}}$) pour être validé.

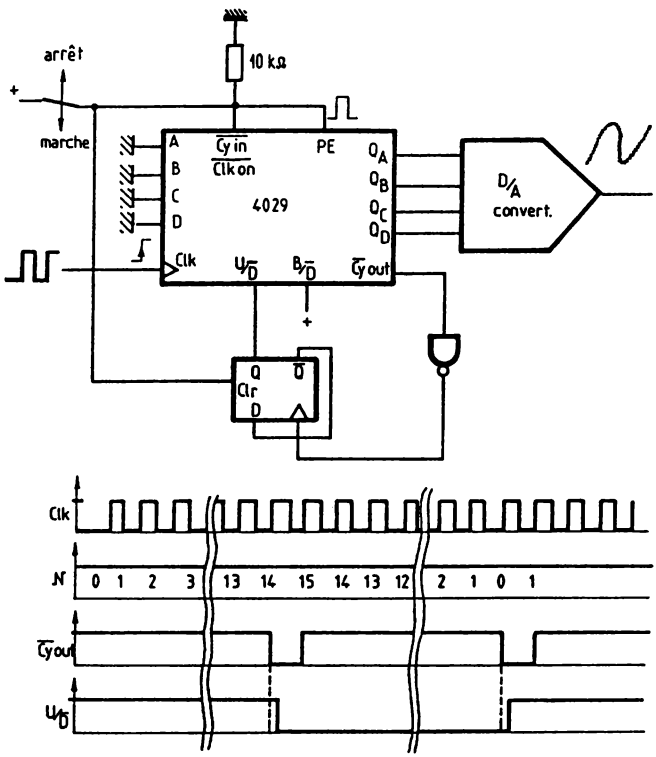
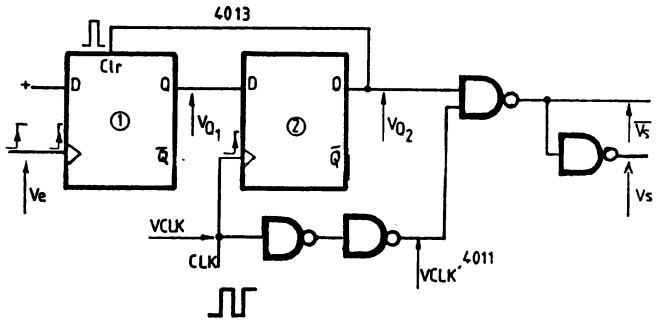


Fig. 7-12. — Compteur-Décompteur.

7.13 — Impulsion synchronisée

Quelle que soit la durée de l'impulsion en Ve, on obtiendra une impulsion en Vs qui sera en synchronisme avec CLK, et de même durée pour l'état actif.

On utilise deux bascules D. La première mémorise l'impulsion de déclenchement, lors du front montant. Sa sortie validera l'entrée D de la seconde bascule. Sa sortie V_{Q2} passera à "1" avec le front montant d'horloge CLK. La première bascule sera remise à "0", et V_{Q1} restera à cet état jusqu'au front montant de la prochaine impulsion de déclenchement. A l'impulsion d'horloge suivante, V_{Q2} passea à "0". Pendant le temps où V_{Q2} était à "1", Vs était à "1" le temps de l'état haut de CLK' (CLK retardé pour éviter des pics parasites ('glitches'), pendant la commutation, en sortie ; V_{Q2}, étant en retard sur CLK !). Deux circuits suffisent à réaliser ce montage, mais on pourra utiliser d'autres portes selon l'impulsion désirée en sortie.



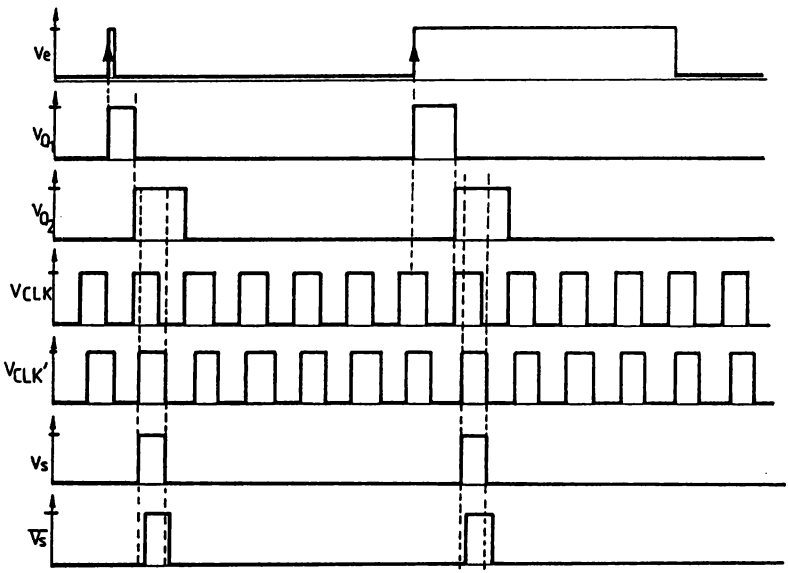


Fig. 7-13. — Impulsion synchronisée.

7.14 — Attention aux décodages des sorties

Une remarque qui va compléter les défauts des compteurs asynchrones et même synchrones bien que moins visibles ! Comme les sorties d'un tel compteur ne changent pas toutes d'état en même temps, mais l'une après l'autre, selon leur rang, le comptage est entaché de combinaisons parasites de très brève durée ! Ainsi dans le cas classique de deux bascules D en série, donc pour un compteur asynchrone modulo 4, Q_B est en retard sur Q_A et on observe les cas parasites 0 et 2 aux passages de 1 à 2 et de 3 à 0. Si vous vouliez faire une remise à zéro sur la combinaison 2, il n'y aurait pas de problèmes, puisque l'état parasite serait en dehors du cycle. Mais si on décide uniquement de décoder une combinaison du cycle de comptage, dans ce cas, on obtiendrait un pic parasite pour le décodage de 2 au passage de 3 à 0. Attention de plus, aux retards que vous imposerez par votre décodage (complément d'une sortie → retard !). Cela peut arranger les choses, ou les empirer. Il faudra donc évaluer les cas critiques en tenant compte des tolérances de propagation des portes (ou circuits) utilisées pour garantir un décodage "net", si un tel décodage est nécessaire. Sinon, il reste possible d'utiliser un circuit RC intégrateur qui supprimera le pic parasite (solution peu fiable avec une logique séquentielle complexe !). La solution idéale reste dans ce cas, l'utilisation d'un compteur binaire réfléchi (de "Johnson") qui supprime ces parasites.

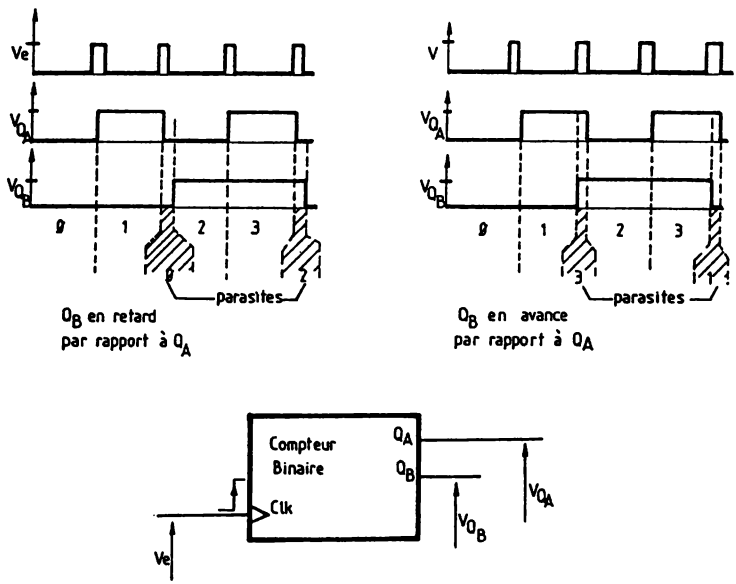
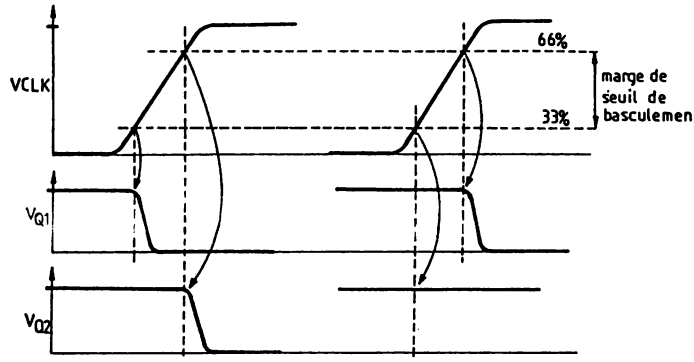


Fig. 7-14. — Attention aux décodages des sorties.

7.15 — Horloges parallèles

Lorsque l'on réalise un compteur synchrone en associant des bascules, ou dans le cas de compteurs intégrés, associés en cascade pour augmenter le modulo, on relie les horloges en parallèle . Il faut être conscient d'un défaut qui risque d'apparaître et de fausser vos résultats.

Le seuil de basculement d'une porte (ou de l'entrée CLK d'un compteur) est fixé entre 33 % et 66 % de V_{CC}. Pour deux portes en parallèle, il existera deux cas ! La première déclenchant après la seconde, ou le cas inverse. C'est justement le seuil de déclenchement qui va déterminer quelle bascule sera en avance. Le résultat en sortie sera totalement différent, comme le montrent les chronographes pour l'exemple choisi ! On considère, lors d'une analyse théorique, que V_{Q1} passera à "0" après le premier coup d'horloge et V_{Q2} après le second, ceci car toute porte occasionne un retard, ce qui est vrai ! En pratique ce temps existe et pour un front montant rapide, le résultat sera correct. Mais pour un temps de montée long, le temps de progression de CLK de 33 % à 66 % sera supérieur au retard dû au temps de progression de la bascule. Si la bascule 1 déclenche à 33 % et la bascule 2 à 66 %, la sortie sera erronée ! D'où une raison de plus de précéder l'entrée, d'un bloc logique déclenché sur front, par exemple : une porte 'trigger', que certains constructeurs intègrent à leurs circuits !



fonctionnement correct

fonctionnement erroné

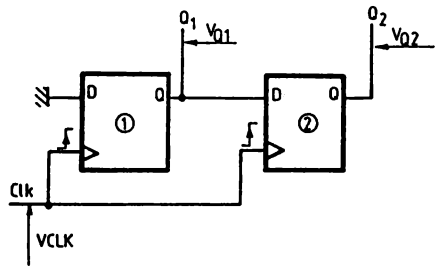


Fig. 7-15. — Horloges parallèles.

7.16 Diviseur par *n* avec compteur à sorties décodées

Effectuer une division de fréquence par *n*, à l'aide d'un compteur tel le 4017, correspond à réaliser un compteur modulo *m*, en limitant son cycle à n (n<m) et en utilisant pour signal de sortie, une sortie qui ne fournira qu'une impulsion à l'état "1".

Le compteur possédant des sorties correspondant à chaque état de son cycle, il est très facile de fixer le modulo à *n* en reliant la sortie Q_n à l'entrée Clr. Seulement, la remise à zéro n'est pas garantie pour des raisons déjà évoquées. Aussi, il vient à l'idée d'utiliser une bascule, dont la sortie commandera Clr. Le fonctionnement sera correct, si elle est mise à "1" au basculement de Q_n et mise à "0" quand le compteur sera à zéro, donc pour Q_0="1". On choisit donc d'utiliser une bascule RS réalisée avec deux portes NON-OU. On utilise alors les portes restantes pour remettre cette bascule à zéro pendant l'état "0" de Clk et garantir une durée de l'impulsion en Clr (égale à la durée de l'état "1" de Clk) !

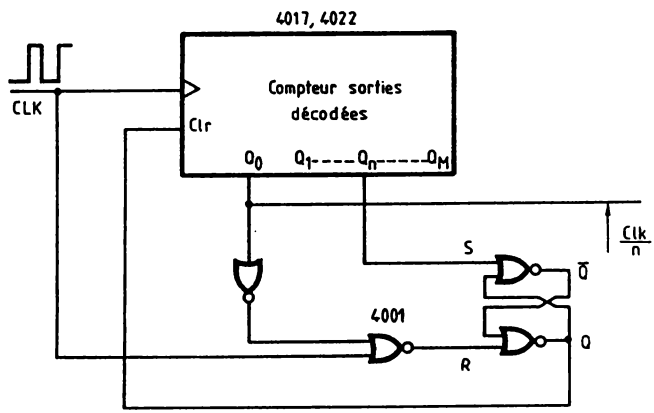
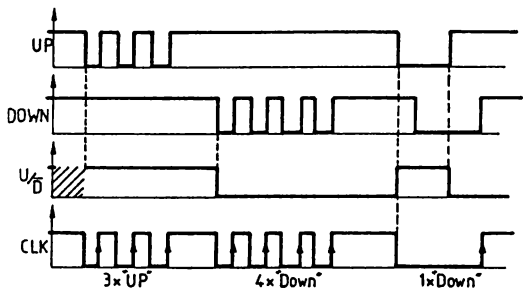


Fig. 7-16. — Diviseur par *n* avec compteur à sorties décodées.

7.17 — Deux types de comptage...

Certains compteurs utilisent des signaux de commande différents pour incrémenter et décrémenter. Ainsi ces compteurs disposent d'une entrée d'horloge et d'une entrée de validation du mode — comptage ou décomptage — ($U/\overline{D}$='Up/$\overline{Down}$'). D'autre utilisent deux entrées d'horloge, l'une pour compter (UPclk) et l'autre pour décompter (DOWNclk). Le 4029, par exemple, fonctionne selon le premier cas. Si on choisit de le mettre en œuvre, avec deux horloges, on utilisera ce schéma.

Les signaux des horloges d'entrée seront actifs a l'état bas, mais le comptage ou décomptage se fera sur le front montant. Le choix du mode de comptage est déterminé par une bascule RS, qui sera mise à "1" par l'état "0" de UPclk et mise à "0" par l'état bas de DOWNclk, ce qui s'applique bien à l'entrée Up/Down.



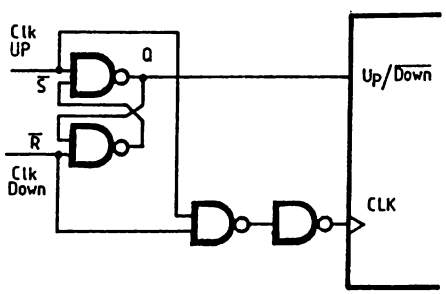


Fig. 7-17. — Deux types de comptage.

Si les deux horloges sont actives, le mode Up sera prioritaire le temps des appuis, mais la première horloge qui passe à "1" permet à l'autre horloge d'imposer le mode et le front de comptage (cf. chronographes). L'entrée CLK sera le résultat d'un ET entre les deux horloges. Ainsi ce sera le front montant de l'horloge choisie qui déclenchera le compteur. Si les deux horloges sont à "0" en même temps, le front montant de celle qui est en retard déclenchera le compteur.

REMARQUES

On ne rentrera pas plus dans le détail pour la mise en œuvre de compteurs. On a désormais avantage à utiliser des compteurs intégrés, en choisissant le modèle désiré dans la panoplie proposée par les fabricants. Mais pour chaque compteur, il faudra se reporter à sa fiche technique particulière pour déterminer le schéma de mise en œuvre d'après le rôle de ses broches. Ce chapitre aurait donc surchargé ce livre et serait sorti des objectifs fixés. Vous devrez donc effectuer quelques recherches et manipulations, pour savoir utiliser tel ou tel circuit.

CHAPITRE VIII

LOGIQUE COMBINATOIRE ET PORTES "BUFFERISEES"

La logique combinatoire désigne une logique dans laquelle la variable TEMPS est ignorée. Ainsi un décodage sera en logique combinatoire (à chaque état d'entrée, correspond à tout moment, un état de sortie normalement défini par la fonction de l'élément logique), alors que le compteur associé sera en logique séquentielle. On distingue la logique séquentielle de la combinatoire, uniquement pour l'analyse de conception. En logique séquentielle, pour trouver les équations des variables, il est nécessaire de faire intervenir le temps, en considérant les deux cas : avant et après le basculement ; alors qu'en combinatoire, les états des variables logiques sont suffisants pour définir l'équation.

8.1 — Comparateur *n* bits

L'équation d'une porte OU-EXCLUSIF et sa table de vérité, nous montre que le résultat est "0" si ses deux entrées sont au même état logique. On effectue alors une comparaison entre deux bits. Pour comparer un nombre codé sur n bits, il suffit d'affecter un comparateur pour chaque bit de même poids des deux nombres. Pour l'égalité des deux nombres, il faudra que toutes les sorties des OU-EXCLUSIFS soient à "0". On réalise donc un OU à *n* entrées à diodes. Une porte OU-EXCLUSIF sera câblée en sortie pour fournir un état "1" ou "0", à l'égalité, selon l'état logique de son autre entrée [a] = inverseur → "1" ou [b] = suiveur → "0").

A noter qu'il existe des comparateurs intégrés, tel le 4063 ou le 4585 qui fournissent de plus les indications ">" et "<".

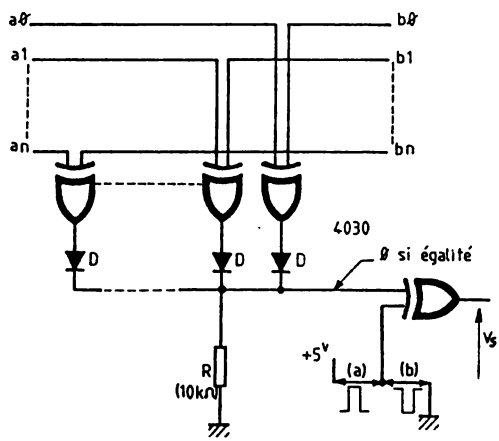
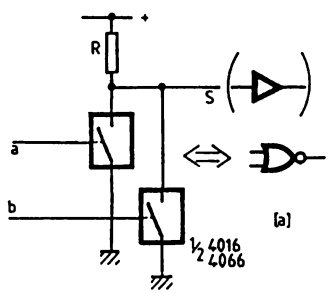


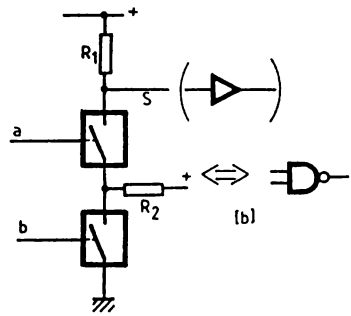
Fig. 8-1. — Comparateur *n* bits.

8.2 — Equivalences logiques avec des portes analogiques

Il est possible de réaliser des portes logiques avec des diodes (comme auparavant), des transistors ou différents types d'opérateurs. Les portes analogiques (4016,4066) autorisent aussi la réalisation d'opérateurs simples.

En [a], on réalise une porte NON-OU. En effet, la sortie ne peut-être à l'état "1", par la polarisation de R, que dans le cas unique où les deux portes analogiques sont ouvertes, donc pour a=b="0". L'impédance de sortie est élevée (dépend de R) et il peut être nécessaire de monter une porte suiveuse en sortie. On choisira R de 1 à 100 kohms.





En [b], on réalise une porte NON-ET. En effet, la sortie sera à l'état "0" dans le cas unique où les deux portes analogiques sont fermées, donc pour a=b="1". L'impédance de sortie est faible (< 1 kohm) pour l'état bas, mais élevée pour l'état haut (dépend de R_1 et R_2) et il peut être nécessaire de monter une porte suiveuse en sortie. On choisira R_1 de 2 à 47 kohms et R_2 supérieure à R_1 (1Mohm), car son rôle se limite à la polarisation des portes dans le cas où elles sont ouvertes toutes les deux.

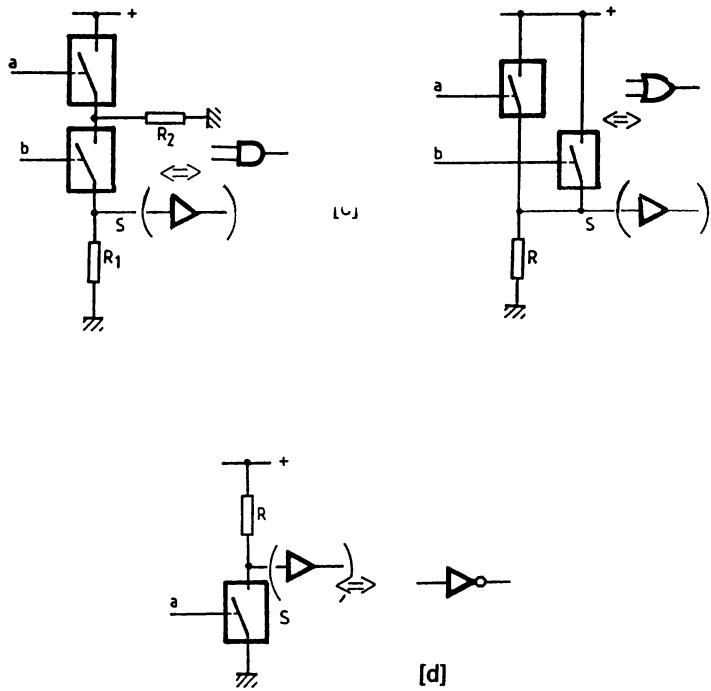


Fig. 8-2. — Equivalences logiques.

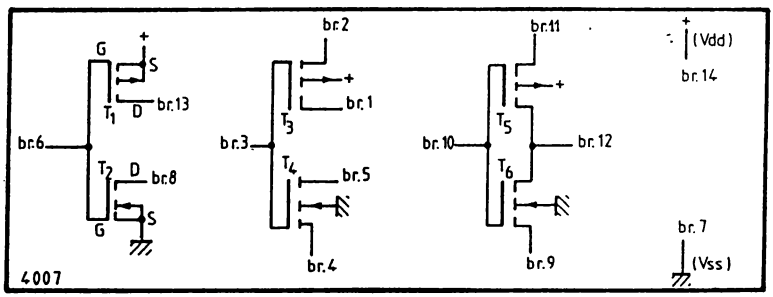
En [c], on réalise une porte ET en inversant le montage [b] et une porte OU en inversant le montage [a]. L'analyse est identique à celle des montages [a] et [b]. On vérifie bien la table logique de ces deux portes. En [d], le plus simple, la porte NON, le banal inverseur. Pour un état "1" en a, la porte analogique est fermée et S = "0". Pour a = "0", la porte est ouverte et S = "1" par la polarisation de R.

On notera que l'impédance équivalente de la porte, ouverte (>10 Mohms) ou fermée (<500 ohms) impose le choix de R (ou de R_1 et R_2). De même l'impédance de la charge en sortie nécessitera de redéfinir ces éléments, le cas échéant. Il faudra les dimensionner de telle manière que les états de S soient compris dans les limites de états "0" et "1" (cf. fig. 2.2).

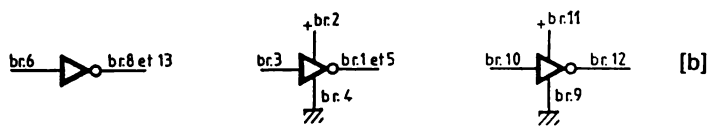
8.3 — Le 4007, opérateur multiple

Ce circuit ne regroupe pas des opérateurs logiques classiques, mais des transistors MOS, câblés partiellement pour laisser plus de libertées à l'utilisateur. En [a], on découvre le schéma interne de ce circuit, avec les broches correspondantes, en négligeant les réseaux de protection en entrée et sortie.

Il est donc possible de disposer d'un transistor MOS canal P, comme T_1, sans être gêné par le transistor canal N (T_2). Il en est de même, inversement pour le canal N. T_3 et T_4 permettent de disposer de toutes les connexions de ces transistors (G-D-S) car T_1 et T_2 ont leur source polarisée à Vdd et Vss. Reportez vous à la figure 3.23 pour une application utilisant un transistor isolément !



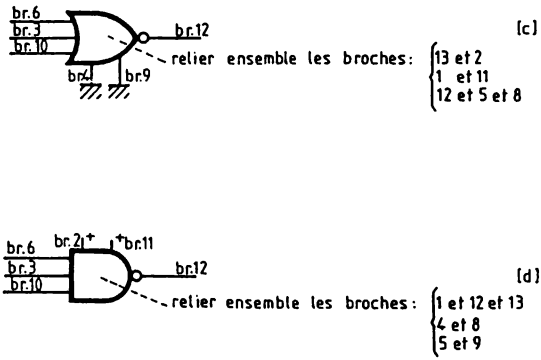
[a]

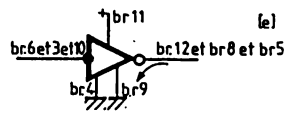


[b]

En reliant ensemble les broches 8 et 13, 1 et 5, on réalise trois portes inverseuses, comme représenté en [b]. Ces portes NON ne disposent pas de sorties amplifiées, car elles ne sont constituées que par ces deux transistors !

En [c], on réalise une porte NON-OU à trois entrées ! Les transistors canal N sont montés en parallèle et les "canal P" en série. Quel avantage à utiliser un tel circuit alors que d'autres intègrent trois portes NON-OU à 3 entrées ? Ce sera plutôt un exercice de style pour mieux appréhender ce circuit. En [d], c'est une porte NON-OU qui est formée par la mise en parallèle des transistors canal P et en série des "canal N".





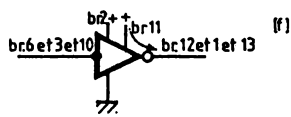
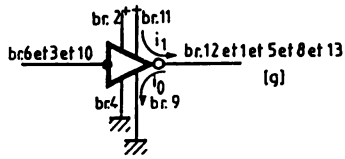


Fig. 8-3. — Portes avec le 4007.



Il est aussi possible d'utiliser les transistors libres, pour amplifier l'état "0" de sortie [e], l'état "1" ([f]) ou les deux cas ([g]), en les montant en parallèle pour augmenter le courant de sortie, i_0 ou i_1. On évitera d'utiliser des transistors MOS de boîtiers différents, car ils ne seraient plus appariés et leur consommation et dissipation augmenteront.

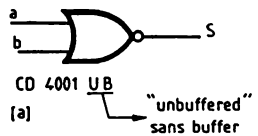
Sorties "bufferisées"

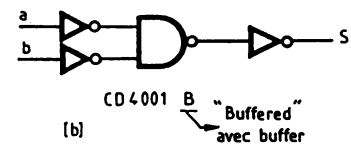
Ayant anticipé ce problème avec le 4007, il convient de marquer les différences entre des portes CMOS à sorties amplifiées (avec 'buffer') ou non (sans 'buffer').

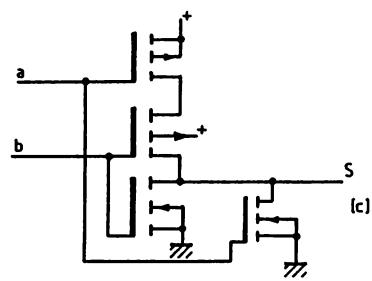
8.4 — Différences entre portes avec ou sans tampon (buffer)

La première différence apparaît dans la référence du circuit. Si, [a], la référence se termine par 'UB', abréviation de "UnBuffered', le circuit ne dispose pas de tampon amplificateur en sortie. Si, [b], la référence se termine par 'B' ('Buffered'), les entrées et sorties sont amplifiées. Les figures [c] et [d] présentent les schémas internes de la porte NON-OU 4001, selon les deux cas. Les graphes [e] et [f] marquent les différences sur la fonction de transfert Vs=f(Ve). Une porte 'UB' aura un gain plus faible qu'une porte 'B', ce qui est visible par la pente de basculement.

Une porte de type 'UB' est caractérisée par un délai de propagation plus court que celui d'une porte 'B', une marge de bruit plus réduite, une impédance de sortie variant selon le nombre d'entrées, un gain dynamique plus faible mais une bande passante plus élevée et une meilleure stabilité pour des signaux à temps de transition élevés. Le tableau I, page 168, résume ces caractéristiques pour le 4001.







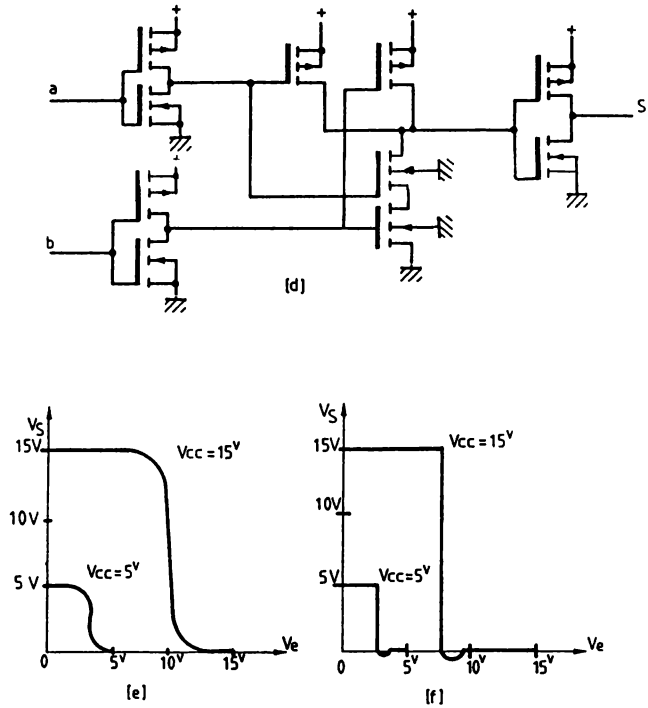


Fig. 8-4. — Différences...

On recommandera donc l'emploi d'une porte non-amplifiée, à des systèmes rapides, pour des fréquences basses en entrée et en amplification linéaire (haute fréquence, gain modéré !). Une porte amplifiée sera préférée dans des systèmes lents avec un environnement à bruit élevé, lorsque une impédance constante est nécessaire (convertisseurs D/A, R/2R) et dans le cas d'une amplification linéaire à grand gain ! Attention donc au choix du circuit pour les montages proposés dans ce livre et selon l'application envisagée (modification des caractéristiques) et au circuit que vous proposera le détaillant !

	xxxxUB	xxxxB
Délai de propagation à 5v	60nS	150nS
à 10v	30nS	65nS
à 15v	25ns	30nS
Marge de bruit à 5v	0,5v	1v
à 10v	1v	2v
à 15v	1v	2,5v
Impédance de sortie : 2 entrées	200 à 400Ω	400Ω
3 entrées	133 à 400Ω	400Ω
4 entrées	100 à 400Ω	400Ω
Temps de transition en sortie à 5v	50 à 100nS	100nS
Gain AC à 10v	23 dB	68 dB
Bande passante AC à 10v	885 kHZ	280 kHZ
Capacité de sortie	2-3 pF	1-2 pF
Oscillation sortie si transition d'entrée lentes	imperceptible si te<100mS	gênant si te>1mS

Tableau I

8.5 — Amplification

Parfois le courant de sortie d'une porte ne suffira pas pour la charge de sortie choisie. Il suffit alors de regrouper des portes en parallèle. Ainsi, l'astable proposé permettra un courant beaucoup plus élevé dans la diode Del. Il faudra noter toutefois que l'association de portes en parallèle est à réserver aux portes d'un même boîtier. En effet, par les dispersions des caractéristiques, les seuils peuvent être différents ce qui a pour conséquence d'augmenter le courant de commutation qui est propre au circuit, et la dissipation.

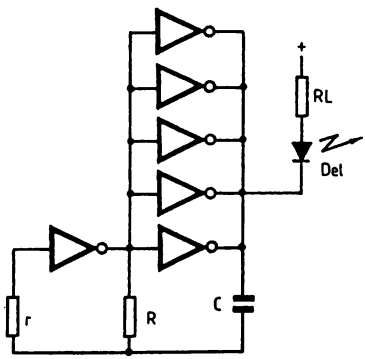
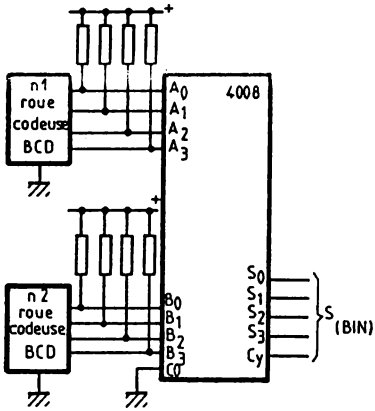


Fig. 8-5. — Amplification.

Il faut noter aussi, que s'il s'agit simplement d'allumer une Del, la tension de sortie peu s'écraser en dessous du minimum défini comme état "1". Ainsi, il serait possible de supprimer R_L, le courant étant limité par la résistance de sortie de la porte (100 à 400 ohms !). Il faudra dans ce cas, veiller à respecter la dissipation maximale du circuit. On est loin alors des courants maximum de sortie, définis par le constructeur (mais qui ont l'avantage de garantir les états "1" et "0" !).

8.6 — Additionneurs

Il existe plusieurs additionneurs intégrés, tels le 4008, 4032 ou 4038. Les deux derniers sont particuliers car ils nécessitent un transfert série des nombres à additionner et fournissent un résultat série. D'où l'application à partir du 4008. Ce circuit réalise une addition sur deux nombres de 4 bits, dispose d'une entrée de retenue et d'une sortie de retenue rapide.



[a]

[b]

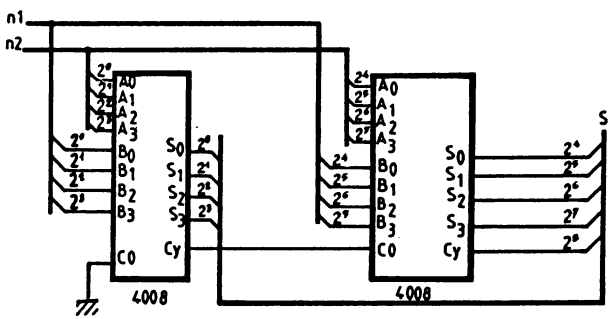


Fig. 8-6. — Additionneurs.

En [a], l'utilisation élémentaire du circuit. Il réalise l'addition des deux termes codés BCD, A et B, issus de roues codeuses ou de compteurs. Le résultat S forme un nombre binaire sur 5 bits (0 à 18).

En [b], on réalise la mise en cascade de deux additionneurs pour former un additionneur 8 bits. Il suffit de chaîner les retenues. Comme la retenue de sortie est rapide, le résultat est disponible dans un temps presque égal à l'additionneur unique.

CHAPITRE IX

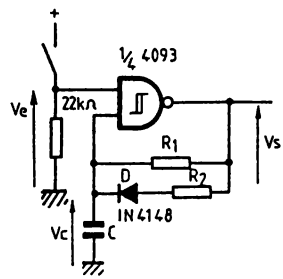
COMMUTATION

ET PORTES ANALOGIQUES

Nous regroupons dans ce chapitre, les montages associés à une commande manuelle (inverseur, touche sensitive...) pour définir un contrôle, une sélection ou une action. Comme certaines commutations utilisent des portes analogiques, il a été intéressant de présenter plus en détail les possibilités offertes par ces portes particulières.

9.1 — Appui répétitif

En agissant sur la validation d'un astable à porte NON-ET « trigger », on génèrera une série d'impulsions proportionnelle à la durée de l'appui. Si cet appui est trop bref, il n'y aura pas d'impulsion en sortie et s'il est suffisant, il y aura au moins une impulsion en sortie. Pour permettre un redémarrage rapide, on modifie le rapport cyclique par D et Ra, d'où les impulsions en sortie.



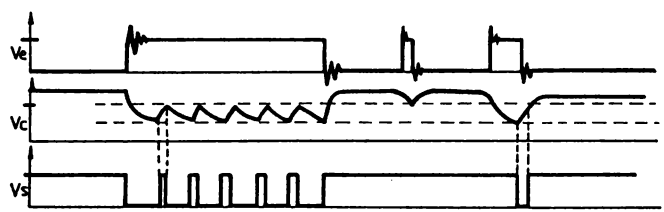


Fig. 9.1. — Appui répétitif.

9.2 — Bascule à touche répétitive ou non

Considérons au départ Vs = "0". Donc Q = "1" et C est chargé après la phase d'initialisation de la mise sous-tension. Ve = Vs par R_2, donc Vs ne change pas d'état (mémoire !). Si on ferme l'interrupteur, Ve prend l'état de Vc, soit "1". La sortie bascule, Q = "0" et Vs = "1". Le condensateur C se décharge dans R lorsque l'interrupteur est à nouveau ouvert. Lorsqu'il est fermé, la charge de C dépend du rapport entre R et R_2.
Si $R >> R_2$, la charge de C ("1") fait basculer Vs ("0" → "1"), au moment où l'interrupteur est fermé et la charge de C est maintenue par R_2. On relache l'interrupteur et C se décharge dans R, pour autoriser le prochain basculement après 3.R.C environ (délai entre deux appuis). Le montage ne peut osciller pour un appui long.
Si $R << R_2$, la charge de C ("1") fait basculer Vs ("0" → "1"), au moment où l'interrupteur est fermé et la charge de C est modifiée par le pont $R\text{-}R_2$ (décharge). On relache l'interrupteur et C se décharge dans R, pour autoriser le prochain basculement après 3.R.C environ. Si l'appui est de longue durée, comme C se décharge pour des valeurs de R, R_2 et C correctement définies, la sortie peut rebasculer, donc osciller.
Il est possible d'initialiser la bascule, en disposant un condensateur ($C_1 << C$) en parallèle à Ve. A la mise sous-tension, Vs = Ve = "0".

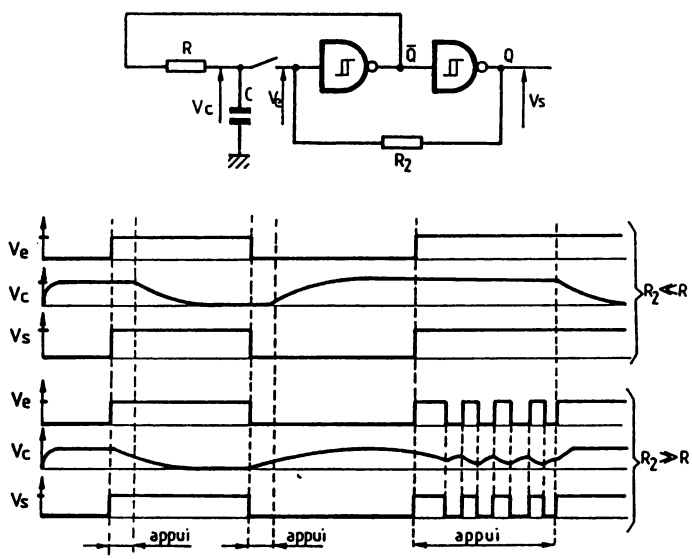


Fig. 9-2. — Bascule à touche répétitive ou non.

9.3 — Impulsion ou train d'impulsions

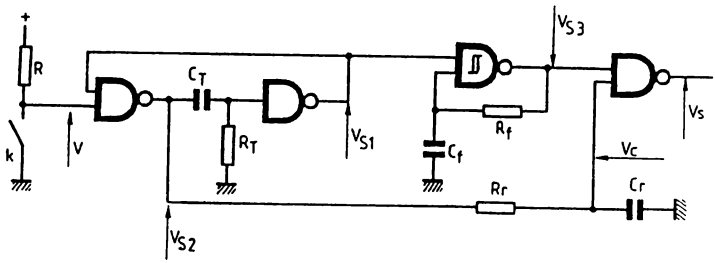
On utilise un monostable en entrée. Il est déclenché par un front descendant, donc à la fermeture de k.

Pour k ouvert, le monostable n'est pas déclenché, donc Vs_1 = "1" et Vs_2 = "0". Vs_1 valide donc l'astable constitué par la porte 'trigger', Rf et Cf. En Vs_3, on observe un signal rectangulaire, mais Vs reste à "1" car la porte de sortie est bloquée par Vs_2.

Si l'appui est bref, on retrouve en Vs_2, le complément de la sortie normale du monostable Vs_1, soit donc une impulsion "1" de durée T. L'impulsion en Vs_1 va inhiber l'astable. Vs_3 est donc à "1" et valide la porte de sortie. On retrouve en Vs une impulsion "0", de durée T, légèrement retardée par le réseau Rr Cr. Son rôle est de retarder Vs_2 pour garantir Vs_3 bloqué à "1" lorsque Vc passe à "0".

Si l'appui est long, l'astable est revalidé après le temps T. Vs_3 sera alors un signal rectangulaire qui fera basculer Vs à son rythme, la porte étant validée le temps de l'appui. Le réseau Rr Cr inhibe les rebonds, présents en Vs_2 lorsqu'on relache la touche k.

Rt Ct déterminera la constante de temps avant la répétition des impulsions et la durée de l'impulsion de sortie pour un appui bref. Rr Cr détermineront la constante de temps "anti-rebonds". Avec les valeurs mentionnées, T = 0,3 s ; f = 10 Hz environ. Il suffit d'un 4093 pour réaliser ce montage.



R_1 : 22 kΩ

RT : 1 MΩ Ct : 470 nF

Rf : 1 MΩ Cf : 100 nF

Rr : 180 kΩ Cr : 10 nF

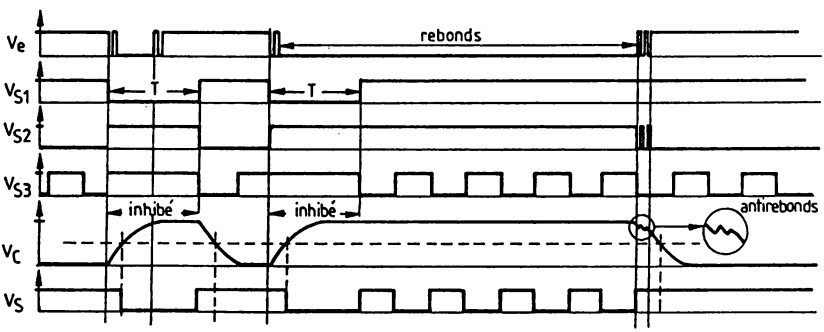


Fig. 9-3. — Impulsion ou train d'impulsions.

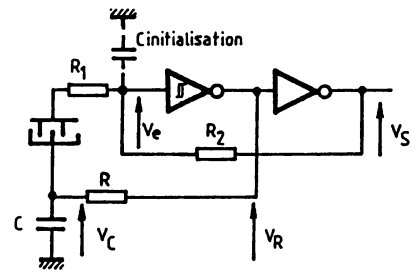
9.4 — Bascule répétitive à effleurement

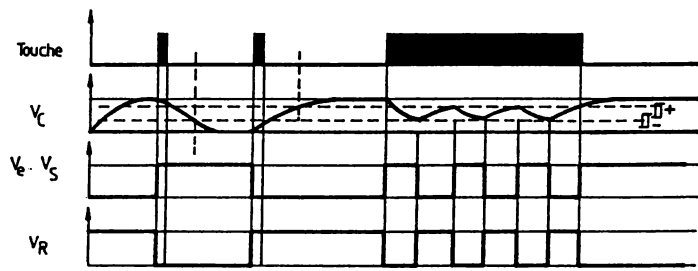
Les montages [a] et [b] sont identiques, hormis l'initialisation et le type de portes employées. On reconnait le montage de la fig. 8.7, auquel on a adjoint une détection de seuil par R_1.

Pour un appui bref, l'état logique correspondant à la charge de C, Vc, est recopié en Vs. On aura un basculement à chaque fois, car la charge de C dépend de Vr qui est le complément de Vs. La constante de temps RC fixe la durée maximum d'un appui pour être considéré comme bref, et le délai minimum (3RC) pour assurer un rebasculement correct au prochain appui. Pour un appui long, l'état de charge de C variera selon l'état de Vr et les deux seuils fixés par R_1 et R_2. On se reportera aux chronographes, bien plus explicites.

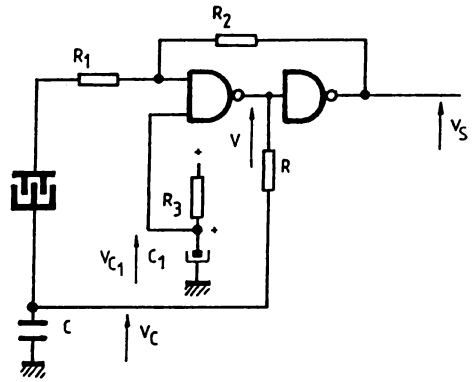
L'initialisation de la sortie peut se faire par un condensateur [a] en parallèle à Ve qui fixera Ve et donc Vs à la mise sous-tension, mais sa valeur devra être très faible par rapport à C. En utilisant des portes à deux entrées, on affectera l'entrée libre à l'initialisation [b]. On pourra dans de ce cas, forcer la sortie à son état d'initialisation pendant un délai très long. On fixera l'initialisation de Vs à "0" avec une porte NON-ET, et à "1" avec une porte NON-OU (en inversant R_3 et C_1).

[a]





[b]



R_1 : 10 à 100 kΩ R : 1 MΩ
R_2 : 10 MΩ C : 10 nF à 1 μF

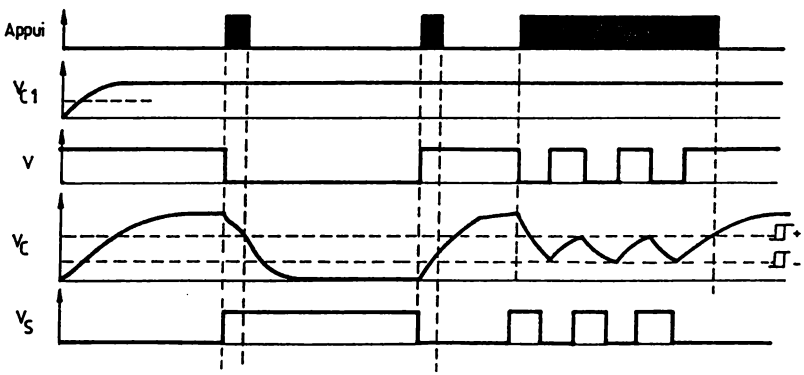


Fig. 9-4. — Bascule répétitive à effleurement.

9.5 — Touches sensitives

On utilise une porte analogique comme "mémoire". R_2 fixe l'état bas de Vs quand la porte est ouverte. R_1 recopie l'état de Vs à l'entrée de commande de la porte analogique et sa valeur pourra être élevée. Si on presse la touche "on", on applique un état "1" sur la porte qui se ferme. Vs passe à "1" et est maintenu à cet état par R_1 quand on relache le contact. Si on touche "off", on ouvre la porte, Vs passe à "0" et est maintenu à cet état par R_1. En rajoutant un condensateur de faible valeur C, on éliminera les rebonds et on fixera l'initialisation de cette bascule sensitive à la mise sous-tension. La sortie devra être amplifiée le cas échéant, car l'impédance de sortie est élevée.

R_1 : 3,3 MΩ
R_2 : 1 à 22 kΩ
(C : 1 nF)

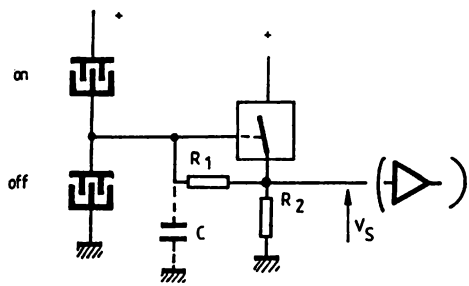


Fig. 9-5. — Touches sensitives.

9.6 — Commutateur sensitif

On utilise le compteur 4017 qui dispose de sorties décodées. Il incrémente à chaque front montant de CLK si CLKen est à "0". Il est remis à zéro par un état "1" en CLR. La sortie correspondant à l'état interne du compteur, est validée (= "1") et les autres sont à "0". Attention, certains 4017 déclenchent au front descendant de CLKen si CLK est à "1". Ils conviennent pour ce montage avec la variante.

A la mise sous-tension, So est sélectionné (= "1") par l'impulsion d'initialisation en CLR, due à R_1C_1. D décharge C_1 à la mise hors-tension du montage et protège donc le circuit. Les autres sorties sont donc à "0". Si on maintient un contact sur la touche 4, CLKen passe à "0" ce qui autorise le comptage. On validera les sorties à tour de rôle jusqu'à arriver à la sortie qui valide la touche choisie, soit S4. Quand S4 passe à "1", CLKen prend cet état et le compteur est inhibé. Si on continue à maintenir le contact sur la touche 4, l'état des sorties ne change plus car CLKen est inhibé. Il en est de même si on retouche le contact 4. Par contre, au contact d'une autre touche, le compteur sera validé jusqu'à sélectionner la sortie considéré, par le même principe.

C_2 jouera le rôle d'antirebond en fixant une constante de temps avec R_2. R_2 inhibe CLKen lorsqu'aucune touche n'est touchée. Il est donc nécessaire d'avoir une fréquence de comptage supérieure à un appui "bref" pour éviter une recherche lente de la touche en contact et donc de la sortie à valider. On notera que les sorties devront être amplifiées si les courants sont supérieurs aux valeurs limites du circuit.

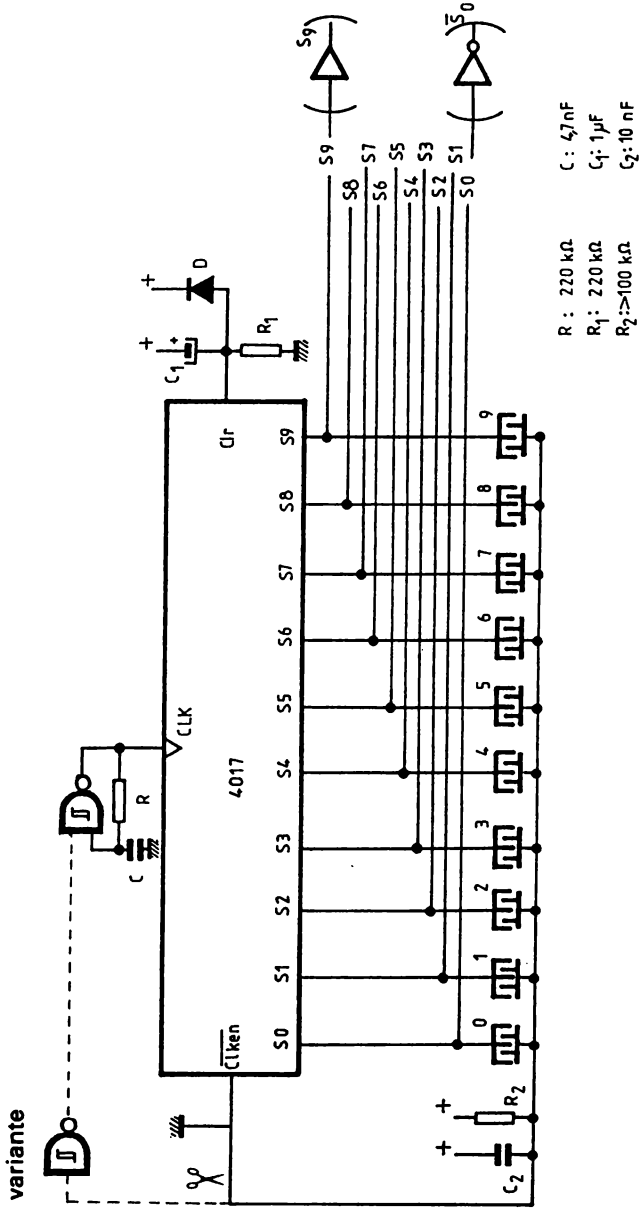


Fig. 9-6. — Commutateur sensitif.

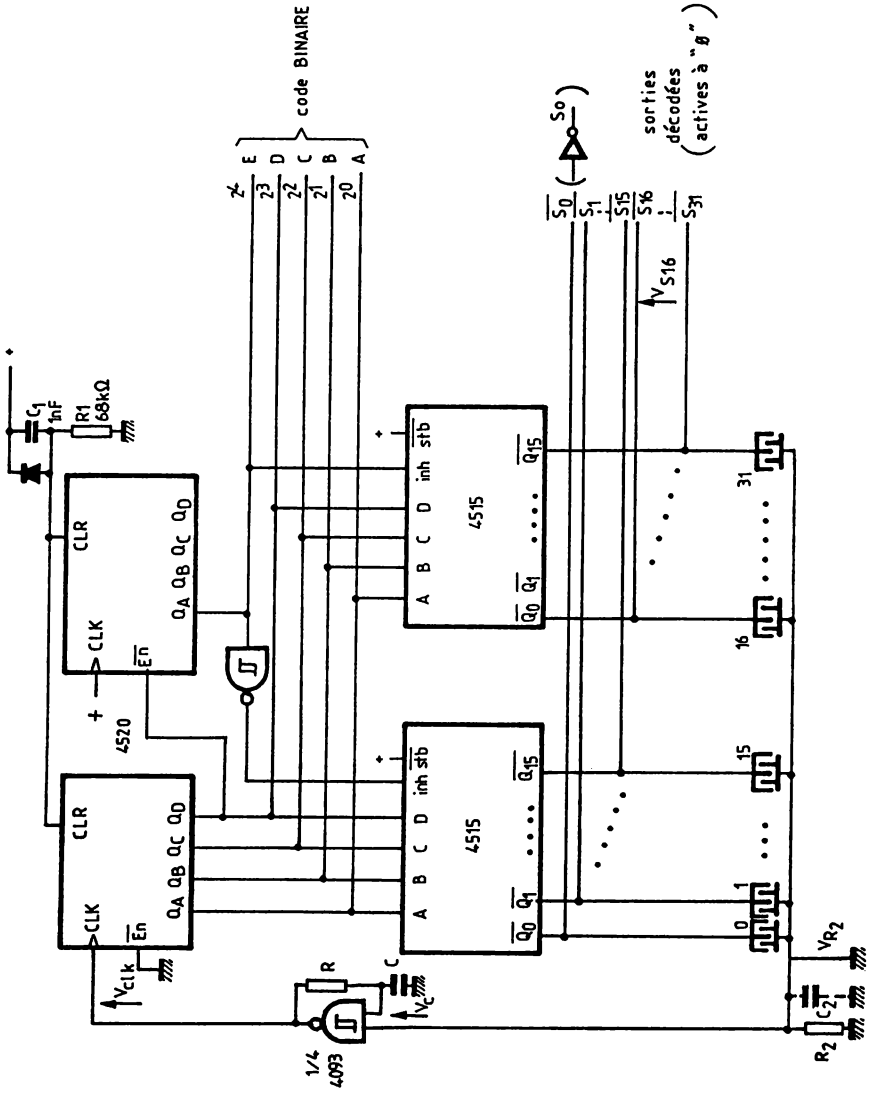
9.7 — Commutateur sensitif à sorties codées

C'est une variante du montage précédent. Le compteur est remplacé par un compteur binaire, suivi d'un décodeur. Il est donc possible d'augmenter le nombre de touches en augmentant le modulo du compteur et en utilisant un décodage approprié.

L'exemple réalise un compteur modulo 32, en cascadant deux compteurs binaires à quatre bits. Le 4520 intègre deux compteurs binaires 4 bits dont le comptage s'effectue au front montant ou descendant, selon le cablage de CLK et En. D'où la mise en cascade par En = Q_D. On dispose donc du codage binaire sur 5 bits, soit ABCDE pour les 32 combinaisons du cycle. La remise à zéro se fait à la mise sous tension par R_1C_1 et doit être supérieure au temps nécessaire à l'initialisation de l'astable d'horloge.

Le décodage des sorties qui vont sélectionner les touches est réalisé par deux décodeurs 4 → 16. Le bit E choisira le décodeur par son entrée de validation INH. L'entrée STB, utilisée pour mémoriser le code d'entrée, est à "1" pour inhiber cette possibilité. Si STB = "1", les sorties correspondent au décodage du code binaire d'entrée. Si STB = "0", le code binaire, présent avant la transition de STB, sera mémorisé et ce décodage sera maintenu en sortie. Contrairement au 4017, la sortie validée sera à "0". Il faut donc modifier l'horloge du compteur. On utilise donc un astable, validé par un état "1", donc avec une porte NON-ET 'trigger'. On se reportera aux chronographes !

C_2 joue un rôle d'antirebonds, mais est facultatif. En effet, sans C_2, un rebond occasionnerait plusieurs impulsions parasites d'horloge en CLK, ce qui accélèrerait le comptage et pourrait entraîner la répétition du cycle de recherche. C_2 sera donc déterminé selon la valeur choisie pour RC et assurer un fonctionnement correct.


code BINAIRE
E
D
C
B
A
2^4
2^3
2^2
2^1
2^0
sorties décodées (actives à "0")
S_0
S_1
S_{15}
S_{16}
S_{31}
V_{S16}
C_1 1nF
R1 68kΩ
4520
CLR
CLK
$\overline{En}$
Q_A Q_B Q_C Q_D
4515
inh
stb
A B C D
$\overline{Q_0}$ $\overline{Q_1}$ .... $\overline{Q_{15}}$
V_{Clk}
R
C
V_C
1/4 4093
V_{R2}
C_2 1µ
R_2

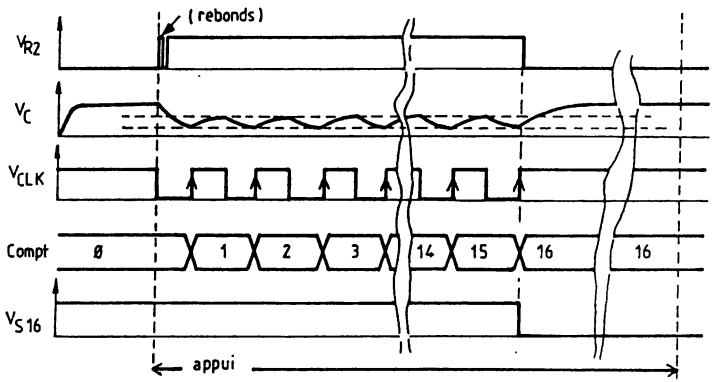


Fig. 9-7. — Commutateur sensitif à sorties codées.

9.8 — Arrêt-Marche sensitif

On peut remplacer l'interrupteur mache-arrêt par une commande sensitive, comme en disposent les calculatrices. T sera un transistor MOS canal P. L'avantage d'un tel transistor est sa faible tension de saturation Drain-Source et sa commande directe par la technologie CMOS. Ainsi un état "1" sur sa 'Gate' le bloquera et il sera saturé pour G = "0". Il suffit donc d'utiliser une bascule pour valider G. Notre choix se porte sur une bascule $\overline{RS}$ qui présente un double avantage : 1) Une borne de la touche sensitive est à la masse, l'autre étant polarisée par une résistance élevée, il n'y a pas de danger. 2) Si on touche les deux contacts sensitifs en même temps, G = "1" et T sera bloqué !

La bascule RS est réalisée avec des portes NON-ET 'trigger'. Sans contact, les entrées sont polarisées par R, de l'ordre de 1 à 10 Mohm. Si on met en contact la touche "Arrêt", Q = "1" et Q reste à cet état même si on touche l'autre contact en même-temps ! Si on relache le contact, l'état est mémorisé. Si on touche le contact "Marche", la sortie Q passe à "0". Les rebonds dus au contact sont sans effet par l'utilisation de la bascule. Le choix de portes 'trigger' se justifie uniquement pour assurer un basculement franc de Q et pour les variantes :

[a] un condensateur C de faible valeur qui initialisera la bascule à "1" (T bloqué) à la mise sous-tension.

[b] une initialisation de plus longue durée qui garantira la mise hors-circuit, du montage connecté en Vs, pendant un temps défini par R_1C_1. Après ce temps, le montage est transparent car D_1 est alors bloquée.

[c] une constante de temps de fonctionnement. C_2 se chargera quand Q = "1", donc quand T sera saturé. Après le temps déterminé par R_2 C_2, la bascule sera remise à zéro, le transistor sera bloqué et C_2 déchargé instantanément par D_2 pour assurer un redémarrage immédiat. Si on désire une extinction après un délai lorsque le montage en Vs est inutilisé, ce montage devra décharger C_2 lorsqu'il est opérationnel !

A noter que le circuit CMOS (4093) sera alimenté par la batterie et la consommation au repos sera de l'ordre de 1μA. Le choix du transistor T, MOS canal P, dépend du courant Is fourni au montage à alimenter en sortie. Le BS 250, très courant, autorise un courant de 160 mA pour une tension de saturation de moins d'un volt !

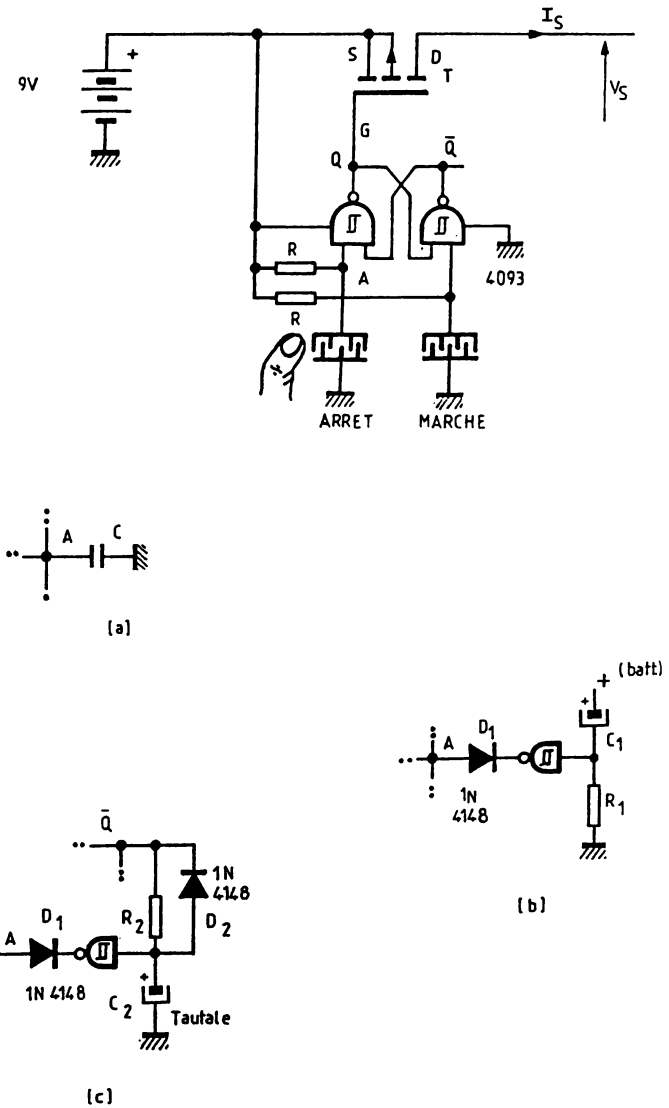


Fig. 9-8. — "Arrêt-Marche" sensitif.

9.9 — Constante de temps de mise "En/Hors-service"

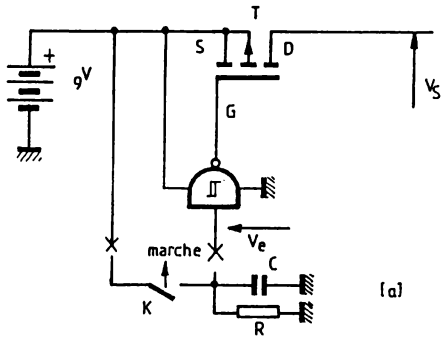
Il est parfois intéressant de disposer d'une commande "Arrêt-Marche" à constante de temps : mise en service retardée et mise hors-service rapide, ou le cas inverse.

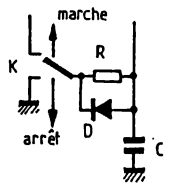
On utilise encore un transistor MOS canal P. Pour une mise en- et hors-tension franche, il est commandé par une porte à seuil. Si le courant de sortie est élevé, on pourra utiliser un transistor de puissance.

Montage [a] à l'entrée de la porte : Si on ferme k, Ve = "1" et T est saturé. Vs = 9V environ. Si on ouvre k, C se décharge dans R, mais T reste saturé jusqu'à ce que la porte bascule, donc après la constante de temps t = 0,9 RC environ.

Montage [b] à l'entrée de la porte : Si k est en position marche, C se charge par R et Ve ne sera égal à "1" que lorsque le seuil de la porte sera atteint, donc à environ t = 0,9 RC environ. Si k passe en position arrêt, C est déchargé instantanément par D. On est donc en présence d'un retard à la mise sous-tension.

Il serait possible de remplacer k par une bascule sensitive, comme précédemment, pour une commande plus agréable. On propose une solution en [c]. Le câblage de D déterminera quelle action sera retardée. Il existe bien d'autres solutions, en utilisant les variantes de la fig. 8.13 ou de la bascule sensitive à touche unique de la fig. 8.9. A vous d'adapter le montage à vos besoins, tout en vous rappellant qu'il est possible de n'utiliser qu'un seul circuit 4093 !...





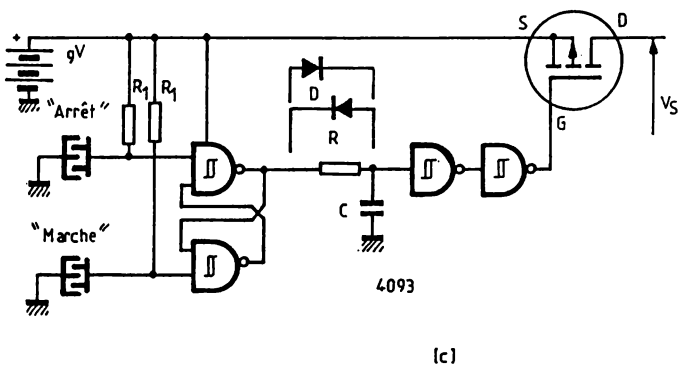


Fig. 9-9. — Constantes de temps de mise "en" et "hors" service.

9.10 — Arrêt-Marche à porte analogique

On remplace le transistor par trois portes analogiques en parallèle et la porte de seuil par la porte analogique restante. Le fonctionnement est identique. Il est d'ailleurs possible de ne remplacer que le transistor MOS, par la mise en parallèle de portes analogiques, pour utiliser des portes 'trigger', garantir un basculement plus franc et un déclenchement par touches sensitives. Il faudra donc effectuer une synthèse des deux montages précédents.

On notera qu'on se limitera à la mise en parallèle des portes d'un même circuit pour éviter la surconsommation due à une dispersion des caractéristiques. Il faudra aussi rester conscient de la résistance équivalente d'une porte analogique. Ainsi la résistance équivalente (180 ohms typique, 500 ohms max. par porte) est de 167 ohms max. pour la mise en parallèle de trois portes. Le courant maximum pour une chute de tension de 1V sera donc de 1/Req, soit 6mA au maximum (16mA pour les valeurs typiques). On réservera donc ce montage pour une consommation de sortie faible (<5mA).

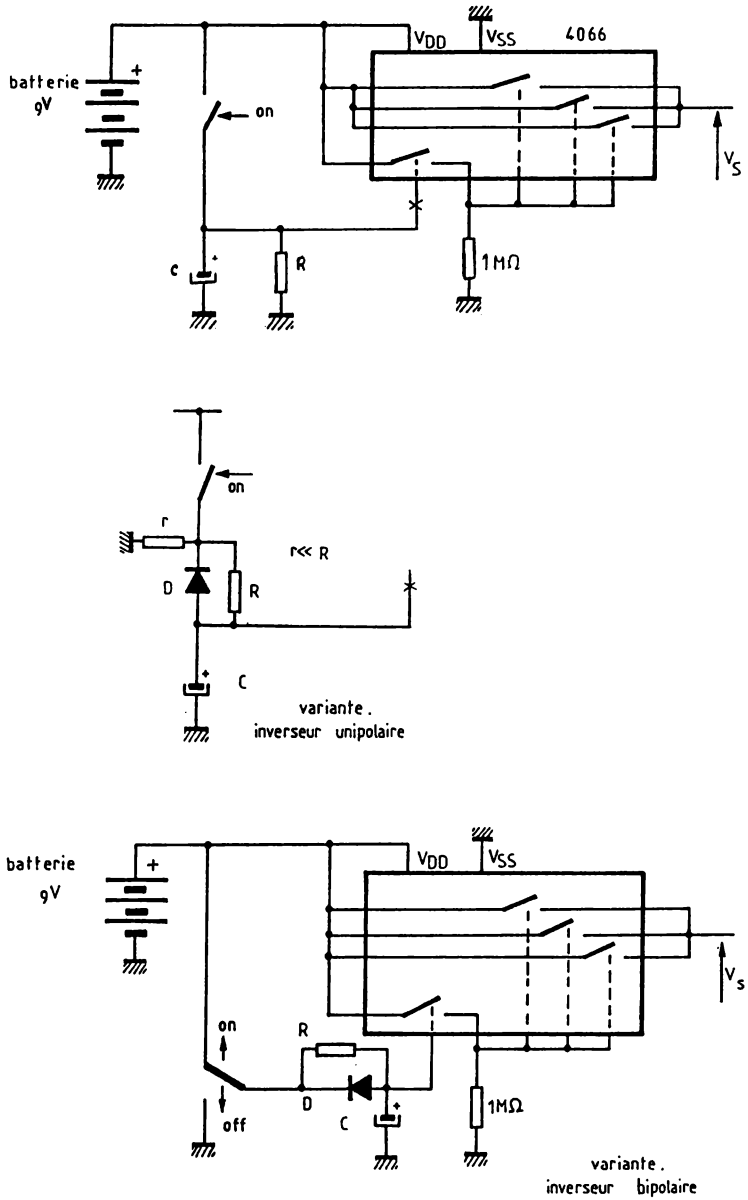


Fig. 9-10. — Arrêt-Marche à porte analogique.

9.11 — Commutation Audio-Vidéo

Voici comment réaliser un commutateur audio-vidéo avec deux circuits intégrés, qui permettra de doubler les possibilités d'une prise péritel, ce qui intéressera tout particulièrement les adeptes de canal +.

On utilise des portes analogiques pour réaliser la commutation, ce qui autorise un contrôle télécommandé (choix du canal, mise en marche par le commutateur du décodeur ou du magnétoscope...). La commutation sur la partie audio ne présente aucune difficulté. Les condensateurs C isolent les sources audio de la composante continue et C assure le même rôle en sortie. R_e et R_p assurent la polarisation des portes analogiques. Leur valeur ne modifie que très peu l'impédance d'entrée des entrées AUDIO. La commutation sur la voie VIDEO est plus complexe : On dispose trois portes analogiques en T. Pour faire passer le signal, les deux portes en série sont fermées et celle à la masse est ouverte. Pour inhiber le signal, les deux portes sont ouvertes et le point milieu est relié à la masse par la troisième porte. On apporte ainsi une réjection plus grande des signaux vidéo. On veillera à répartir correctement les portes lors de l'implantation pour éviter la diaphonie d'une porte à une autre d'un même boîtier. Ainsi, on essaiera d'affecter un circuit à une voie spécifique. Il est conseillé d'utiliser un 4066 en place d'un 4016, pour ses meilleures caractéristiques dynamiques, ou même un HC4066 qui autorise une bande passante plus élevée (>20MHz).

Comme l'amplitude des signaux est flottante et que l'alimentation est unique (pile 9V), il faut créer une masse flottante par un pont diviseur résistif R-R . Ainsi le circuit voit son alimentation, comme une alimentation symétrique de +/— 4,5V.

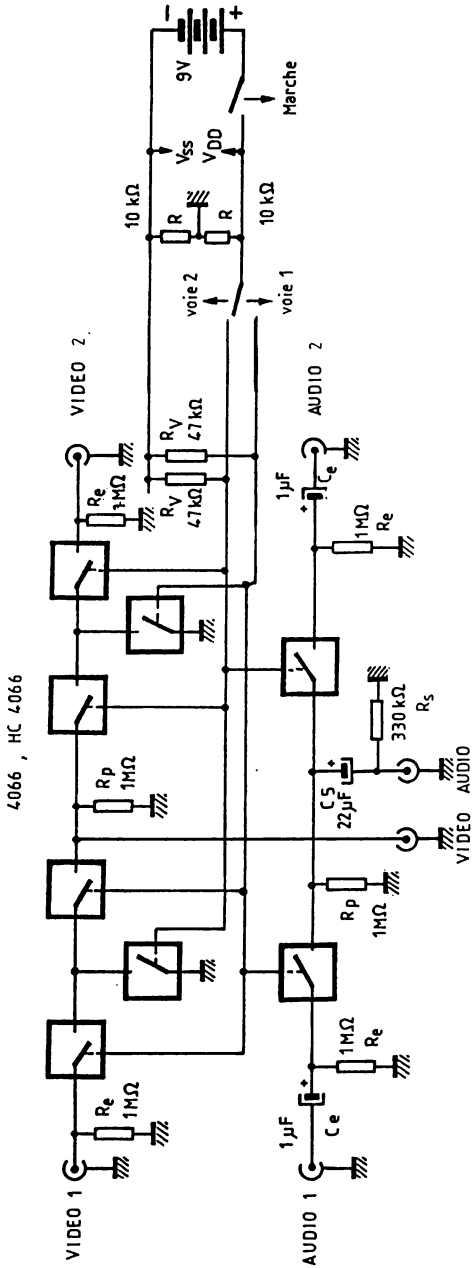


Fig. 9-11. — Commutation audio-vidéo.

9.12 — Portes analogiques

On les a déjà utilisées, aussi il est temps de préciser certaines applications de ces portes analogiques. Les deux circuits les plus couramments utilisés sont le 4016 et 4066, mais il existe aussi des circuits plus complexes tels le 4051, 4052...

En [a], on réalise l'équivalence avec un interrupteur. Si le signal de commande vaut "0", la porte est ouverte et équivalente à un circuit ouvert ($R_{off} > 10$ Mohm). Si le signal de commande vaut "1", la porte est fermée et équivalente à un circuit fermé ($R_{on} < 500$ ohm). On notera que si la tension de commande n'est pas définie comme un état logique, la porte voit son impédance varier entre R_{off} et R_{on}.

En utilisant deux portes et en les affectant d'un signal de commande complémentaire, on réalise un inverseur ([b]). Pour réaliser un inverseur multipolaire, il suffit de multiplier le nombre de portes analogiques. Pour diminuer l'impédance équivalente d'une porte analogique, il est possible de réaliser une mise en parallèle ([c]). Les portes devront toutefois faire partie du même circuit pour éviter une surconsommation due aux dispersions des caractéristiques (qui risqueraient même de perturber le fonctionnement du montage). Dans ce cas, R_{on}, mais aussi R_{off}, seront diminuées par le rapport du nombre de portes mises en parallèles. Ainsi, avec quatres portes analogiques type 4066 mises en parallèle, R_{on} chute à 120 ohms maximum (45 ohms typ.), mais R_{off} chute aussi.

On se réfèrera au [d] pour la polarisation de portes analogiques inutilisées. En effet, selon les cas, les entrées et sorties devront être polarisées, en plus du signal de commande. A noter aussi, qu'on ne distingue pas entrée et sortie car une porte analogique CMOS est bidirectionnelle !

En [e], on réalise un pseudo-potentiomètre double à l'aide de portes analogiques. En faisant varier le rapport cyclique du signal de commande, on fait varier la résistance moyenne équivalente. Les extrêmes de variation seront $R_1 + R_{on}$ et $R_1 + R_{off}$. Si $R_{on} \ll R_1 \ll R_{off}$, la variation se fera de R_1 à R_{off} environ ! Il est possible de réaliser des "potentiomètres" doubles avec des caractéristiques différentes.

Sur le même principe, de nombreux montages sont possibles, guidés par votre seule imagination (pseudo "condensateur variable"...) !

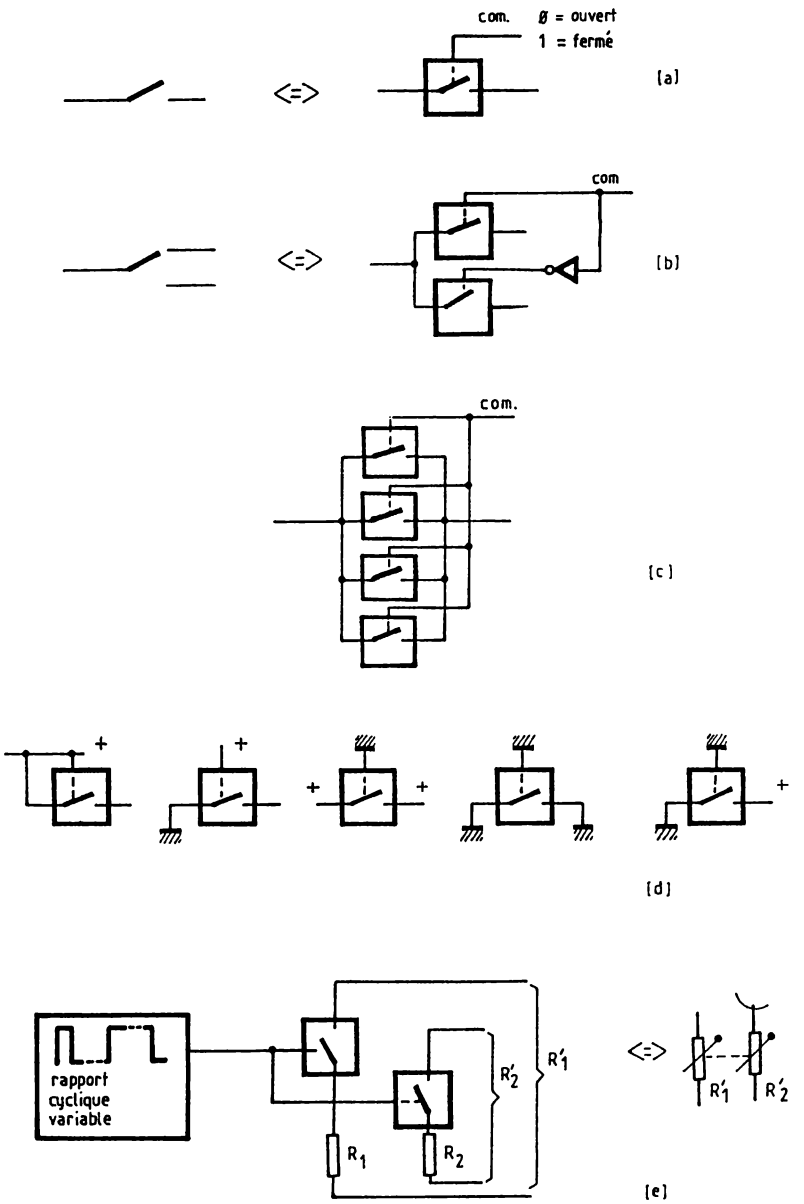
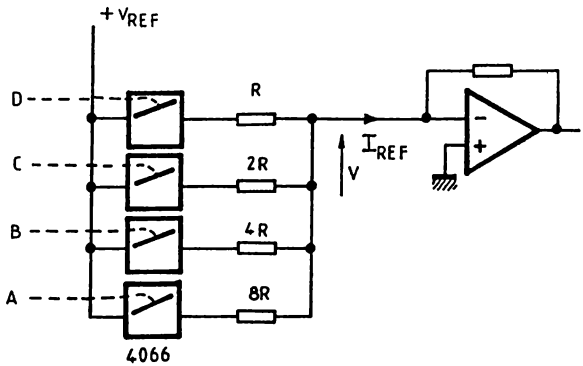


Fig. 9-12. — Portes analogiques.

9.13 — Convertisseur D/A à portes analogiques

Une application est la réalisation d'un convertisseur Digital/Analogique à l'aide d'un réseau de résistances par puissance de 2. Il faudra respecter $R < R_{on}$ et $8R < R_{off}$ pour pouvoir négliger l'influence de la résistance équivalente de la porte analogique. Le bit d'entrée de poids faible est A et celui de poids le plus fort, D. La résistance équivalente entre V_{REF} et V varie donc de l'infini (R_{off} / 4 environ, $I_{REF} \simeq 0$) à R.15/16. Comme V est proche de 0V, I_{REF} vaudra V_{REF}/Req soit une variation de (V_{REF}/R). (n/16), avec n, valeur décimale du code d'entrée. Une condition de fonctionnement est $V_{DD} > V_{REF}$ et $V_{SS} < V$ pour une alimentation correcte du circuit.



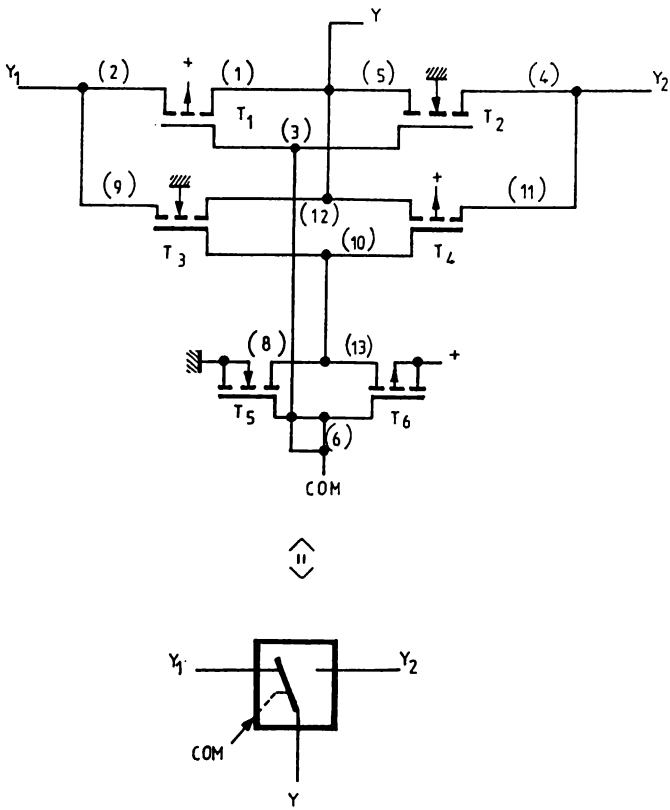
$$I_{REF} = \frac{V_{REF}}{R} \cdot \frac{n}{16.}$$

Fig. 9-13. — Convertisseur D/A à portes analogiques.

9.14 — Porte analogique avec le 4007

Il est possible de réaliser une porte analogique avec le circuit 4007. Voici alors le schéma interne équivalent. Il faudra vous reporter à la figure 8.3 pour retrouver les connections des transistors du 4007.

Ainsi si COM = "1" (V_{DD}), T_5, T_4 et T_2 sont saturés. Un courant peut donc circuler entre Y et Y_2, par T_4 ou T_2 selon son sens, les autres transistors étant bloqués. Si COM = "0" (V_{SS}), T_6, T_3 et T_1 sont saturés. Un courant peut donc circuler entre Y et Y_1, par T_3 ou T_1 selon son sens, les autres transistors étant bloqués. Les tensions d'alimentation V_{DD} et V_{SS} fixeront la plage du signal en Y, Y_1 et Y_2.



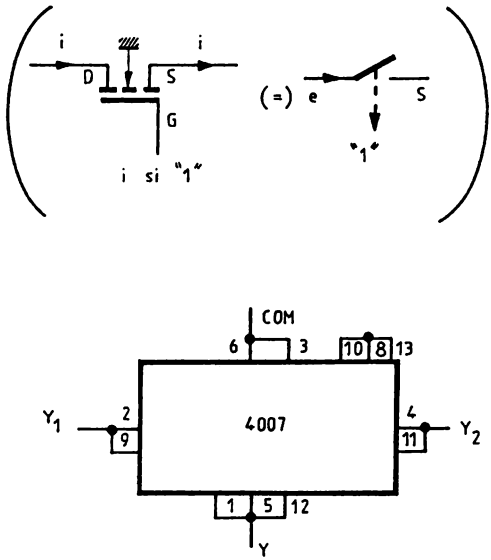


Fig. 9-14. — Porte analogique avec le 4007.

Réaliser un commutateur analogique à deux positions avec ce circuit n'est pas avantageux, comparativement aux 4016, 4066 qui intègrent quatre portes permettant de réaliser deux commutateurs. L'intérêt est plus théorique. Il montre aussi la possibilité de réaliser un commutateur simple à une position (travail), unidirectionnel, avec un seul transistor MOS.

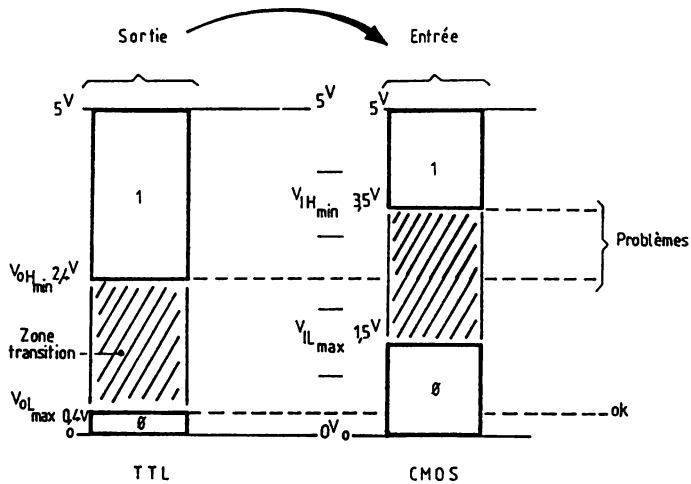
CHAPITRE X

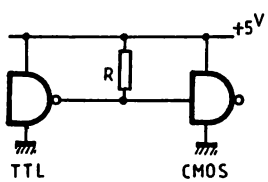
INTERFAÇAGE

L'interfaçage est l'ensemble des moyens mis en œuvre pour adapter les signaux d'une technologie à une autre technologie. Dans ce cas, nous allons dénombrer les moyens de connecter des portes en technologie CMOS à des montages utilisant d'autres technologies (TTL, ECL, transistors...)

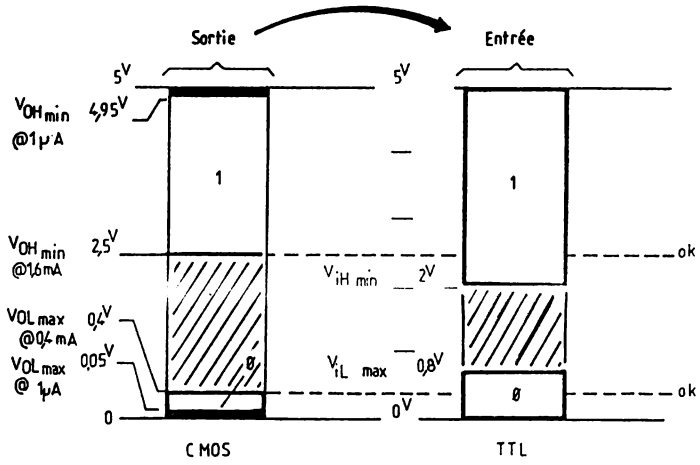
10. — Interfaçage TTL ↔ CMOS

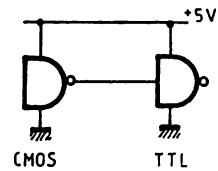
Interface TTL → CMOS : Les états logiques en sortie d'une porte TTL, sont définis pour des tensions maximum de 0,4V ("0") et minimum de 2,4V ("1"), en respectant les sortances de la porte ! Le courant d'entrée d'une porte CMOS étant quasiment nul, la sortance en porte CMOS est élevée ! Une porte CMOS nécessite une tension maximum de 1,5V pour l'interpréter comme un "0" et minimum de 3,5V pour "1". Il est donc nécessaire d'augmenter la tension de sortie à l'état "1" de la porte TTL par une résistance de polarisation, R. Le tableau donne un ordre de grandeur pour R, sans rentrer dans le détail du calcul.





Technologie	R
74...	0,39 à 4,7 kΩ
74 H...	0,27 à 4,7 kΩ
74 L...	1,5 à 27 kΩ
74 LS...	0,82 à 12 kΩ
74 S...	0,27 à 4,7 kΩ





Technologie	[Fanout] Nb de portes	
	min.	typ.
74...	1	3
74 H...	1	2
74 L...	14	28
74 LS...	7	14
74 S...	1	2

Fig. 10-1. — Interfaçage TTL - CMOS.

Interface CMOS → TTL : Une porte TTL nécessite une tension maximum de 0,8 V pour l'interpréter comme un "0" et minimum de 2 V pour "1", et ce, avec un courant de polarisation, respectivement de —400µA (—, car le courant est sortant), et 1,6 mA. Pour de tels courants, une porte CMOS dispose encore de niveaux de tension moindre (0,4V $\leqslant_{0,8V}$ et 2,5V $>_{2V}$). Une liaison directe convient donc . Selon les technologies TTL particulières, les courants de polarisation diffèrent, aussi le tableau résume la sortance d'une porte CMOS contrôlant des portes TTL. Il est utile de rappeler, que cette sortance est très élevée (environ 400) pour le cas de portes de même type (CMOS) car le courant de polarisation est inférieur au micro-ampère .

10.2 — Le cas du TTL collecteur-ouvert

Dans le cas particulier de portes TTL à collecteur ouvert commandant des portes CMOS, une résistance de polarisation R est nécessaire. C'est elle qui définira le niveau "1" quand la sortie sera "ouverte". Sa valeur devra être telle que le niveau "0" reste correct (<1,5V). L'avantage est la possibilité d'alimentation différente de la porte CMOS (Vcc ⩾ 3V). Ainsi à Vcc = 10V, 39 kΩ est une valeur correcte.

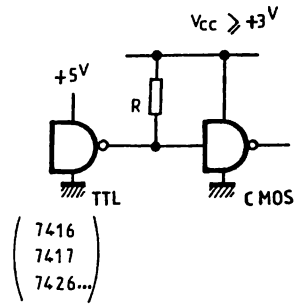


Fig. 10-2. — TTL Collecteur ouvert

On notera qu'il faudra considérer ce cas dans l'utilisation de portes TTL à sortie 3 états ('tri-state'), car ce troisième état correspond à la haute impédance et n'est donc pas défini ! Il existe aussi des portes 'tri-state' CMOS, mais la détermination de R est beaucoup plus simple (10 kohm à 1Mohm)...

10.3 — ECL → CMOS et CMOS → ECL

Pour la technologie ECL, le plus simple est d'utiliser les circuits d'interface appropriés. Ainsi une porte du circuit 10125 permettra le contrôle de portes CMOS par l'ECL, et l'inverse par le circuit 10124. La technologie ECL travaille en logique négative ("1" = — 810 mV a — 960 mV et "Ø" = — 1650 mV a — 1850 mV), aussi ce circuit devra être alimenté en + 5V, 0V et — 5,2V !

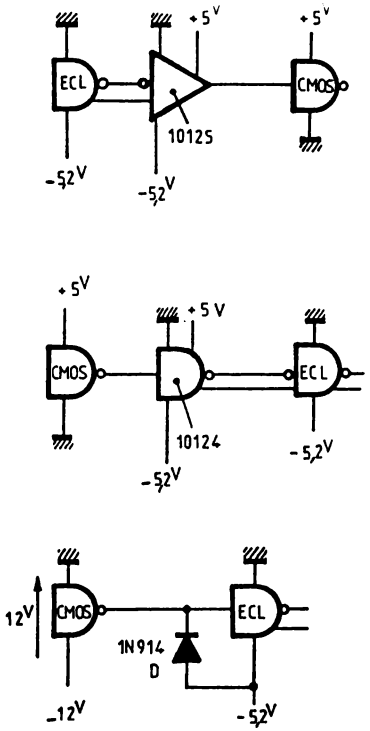


Fig. 10-3. — ECL → CMOS.

Dans le cas d'une porte CMOS alimentée en 12V (> 6 V), mais travaillant en logique négative, il suffit d'une diode pour l'interfacer à une porte ECL. L'état "1" sera correct (0V) et la sortie de la porte CMOS sera forcée à — 5V par D pour l'état "0". D sera une diode rapide, telle la 1N 914.

10.4 — NMOS, PMOS ↔ CMOS

Ces technologies sont principalement rencontrées, lors de la mise en œuvre de systèmes microprogrammés : microprocesseurs NMOS, mémoires NMOS...

L'interface NMOS-CMOS est semblable au TTL-CMOS. R sera définie selon les caractéristiques de la porte NMOS. Pour des tensions d'alimentations différentes, on recourt à un inverseur à transistor ou à un 'buffer' d'adaptation, tel le 4050.

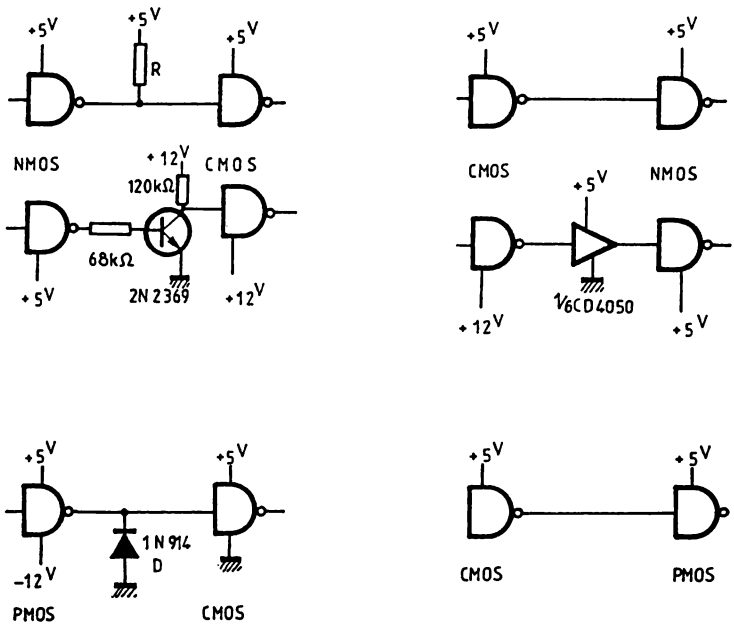
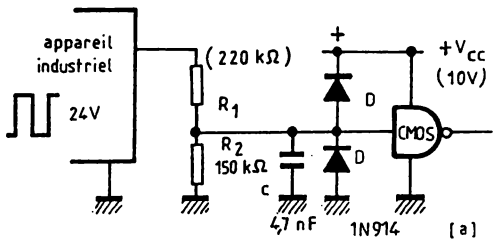


Fig. 10-4. — NMOS, PMOS ↔ CMOS.

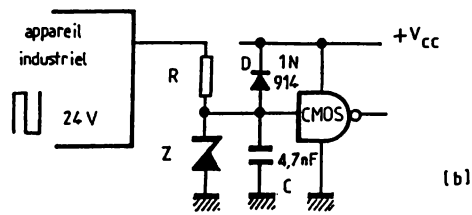
L'interfaçage PMOS-CMOS nécessite une diode D pour forcer l'état "0" à l'entrée de la porte CMOS, à 0V au lieu de la tension négative. Si c'est une porte CMOS qui commande une porte PMOS, il suffit de conserver les mêmes alimentations !

10.5 — Industriel 24V ↔ CMOS

La plupart des appareillages industriels sont alimentés en 24V. Il est donc nécessaire d'adapter les niveaux. Il faudra donc limiter l'état "1" :
— soit par un pont diviseur résistif [a]. R_1 et R_2 seront dimensionnées pour fixer l'état "1" à environ Vcc. Les diodes D protègeront la porte des surtensions éventuelles et C réduira les bruits (R_1, R_2 et C forment un filtre passe-bas !).



— soit par un écrêtage zener. R en assurera la polarisation correcte, mais la tension de zener devra être définie dans la plage de tension fixant l'état "1" (proche de Vcc de préférence !). D et C assurent le même rôle que précédemment. On a pu supprimer l'autre diode, car une zener en direct est équivalente à une diode classique.



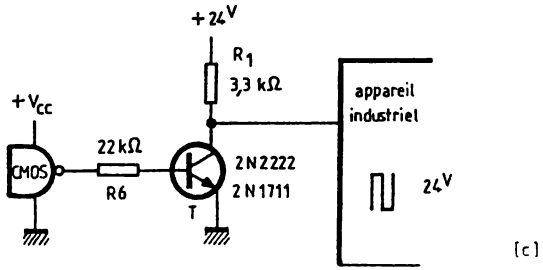


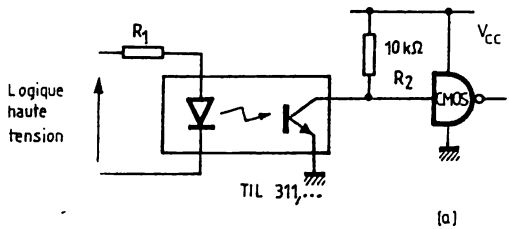
Fig. 10-5. — CMOS et circuits industriels sous 24V.

Pour la commande d'un appareillage sous 24V [c], on utilise le principe du collecteur-ouvert. Un transistor T, commandé par la porte CMOS, fonctionnera en saturation par le choix de R_0 et de V_{CC}. R_1 pourra être omise si l'appareil industriel possède déjà une résistance de polarisation sur son entrée.

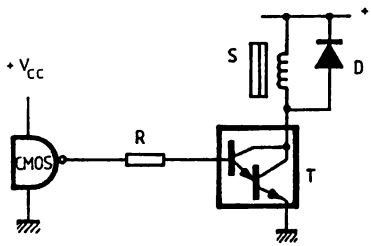
T pourra être remplacé par un transistor MOS, R_6 sera alors supprimée.

10.6 — Haute-tension et CMOS

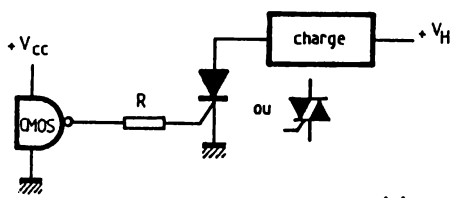
En [a], une "logique" à haute-tension commande une porte CMOS par l'intermédiaire d'un opto-coupleur. Cette solution sera aussi utilisée dans le cas d'isolation galvanique entre deux logiques. R_1 sera déterminée pour assurer un éclairement correct de la diode électroluminescente du photo-coupleur. Ainsi, selon "l'état logique" de la haute-tension, le phototransistor sera saturé ou bloqué. R_2 polarisera l'entrée de la porte CMOS quand il sera bloqué et fixera son courant de saturation.



[a]



[b]



[c]

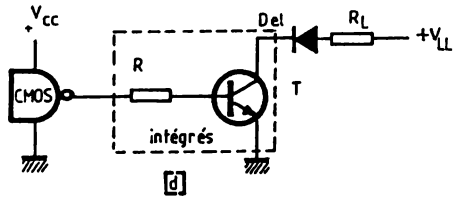


Fig. 10-6. — Haute-tension et CMOS.

En [b], [c] et [d], la logique CMOS commande un dispositif sous tension plus élevée . En [b], la porte commande la charge à travers un transistor T à grand gain ('Darlington'). R sera déterminée pour un fonctionnement de T en saturation. D protègera le transistor si la charge est inductive, en l'occurence S, un solénoide qui pourra être un relais, un "marteau" d'une machine à écrire, une électrovanne...

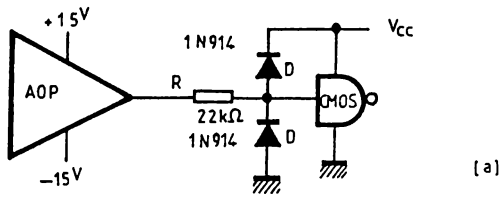
En [b], on remplace le transistor par un thyristor ou par un triac. R limitera le courant de gachette, selon les caractéristiques du composant choisi, mais pourra être omise le cas échéant en utilisant des portes 'buffer', tel les 4049 ou 4050.

En [d], les tensions étant moins élevées (contrôle de visualisation par Dels, afficheurs, afficheurs fluorescents...), on utilise pour T, des réseaux de transistors intégrés (CA3081...), même pour des puissances (ULN2074...) ou tensions (UDN6118...) plus élevées. Dans la plupart des cas, le circuit intègre aussi la résistance de limitation R et des réseaux de protection .

10.7 — AMPLI OP's et CMOS

Un ampli-opérationnel [a] alimenté en +/ — V_{CC} et fonctionnant en saturation, dispose de deux états logiques, + V_{SAT} et — V_{SAT}. Ces tensions de sortie en saturation sont proches de V_{CC} à 1,5V près dans le pire des cas. Il convient uniquement de limiter ces niveaux à ceux nécessaires pour la porte CMOS (selon V_{CC}). La méthode la plus simple est d'effectuer une limitation par diodes à + V_{CC} et 0V (Vdd et Vss). R limitera le courant dans les diodes, qui seront choisies de préférence rapides et à faible chute de tension (< 0,5V) pour respecter les limitations du constructeur (courant d'entrée < 10 mA) !

Si l'ampli-op est alimenté par une alimentation unique [b], qui est la même que celle de la porte CMOS, l'interfaçage est direct. Le pont diviseur R créera une masse flottante pour l'ampli-op.



[a]

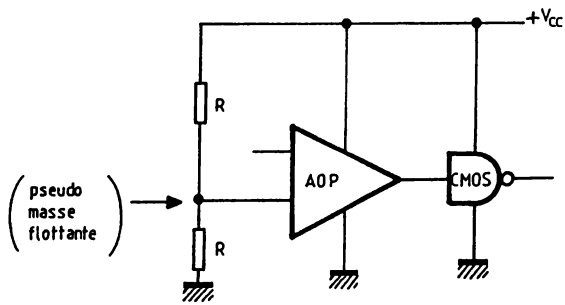


Fig. 10-7. — CMOS et Ampli-op's.

10.8 — CMOS et cristaux liquides

L'affichage le plus intéressant pour un montage en technologie CMOS est celui utilisant les cristaux liquides, par leur consommation de l'ordre de celle des portes CMOS (très faible !). On les oublie un peu, car leur commande semble complexe ! Il n'en est rien !

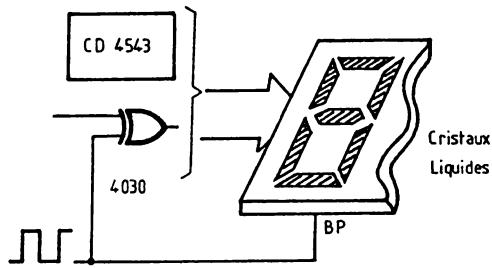


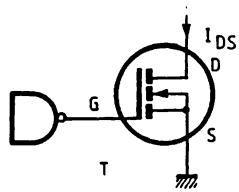
Fig. 10-8. — CMOS et Cristaux liquides.

Un afficheur à cristaux liquides intègre dans un "sandwich" de verre des cristaux polarisants. Suivant leur orientation, ils laissent passer la lumière (transparents) ou la réfléchissent (visibles). Cette orientation dépend de la polarisation entre la commande du segment et la plaque de polarisation commune BP ('BackPlane'). Cette plaque doit être polarisée par un signal alternatif, de valeur moyenne nulle, telle un signal carré de rapport cyclique 50%, pour garantir une durée de vie élevée. Pour obtenir une commande en phase ou en opposition de phase, on utilise une porte OU-EXCLUSIF. Si sa commande vaut "1", le signal de sortie est en opposition de phase avec BP et le segment sera visible. Si la commande vaut "0", le segment sera transparent (signaux en phase).

Des circuits spécialisés existent, tels le 4543 (décodeur-driver), et seront choisis selon l'application envisagée.

10.9 — MOS de Puissance et limitation

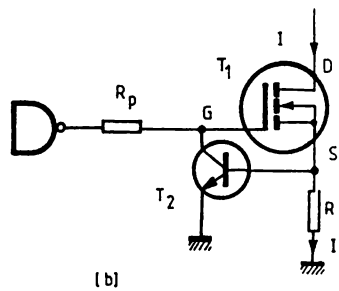
On utilise un transistor MOS canal N de puissance, contrôlé par la porte CMOS [a] . L'avantage est la commande en tension V_{GS} et une faible tension de saturation V_{DS}. Si V_{GS} = "0", le transistor est bloqué, $I_{DS} = 0$. Si V_{GS} = "1", le transistor est saturé. V_{DS} dépend des caractéristiques de T (0,5 V à 100 mA pour le BS 250...).



[a]

$$Imax = \frac{Vbe}{R}$$

T_1 : VN46, VN66
T_2 : BC547,...



[b]

Fig. 10-9. — MOS de puissance et limitation.

Le VN 46 ou VN 66 seront utilisés pour des applications de puissance ! Dans ce cas, il est utile de prévoir une limitation de courant [b]. Comme T_1 est commandé en tension ($I_{GS} = 0$), la chute de tension aux bornes de Rp est nulle. La tension aux bornes de R est proportionnelle au courant I_{DS}. T_2 bloqué, le fonctionnement est identique en [a]. Si T_2 conduit et se sature, il diminue le potentiel V_{GS} et limite donc le courant I_{DS}, d'où la relation : $I_{max} = V_{be}/R$. Rp protège la porte CMOS de commande, et limite le courant de collecteur de T_2.

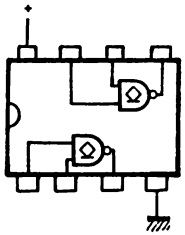
10.10 — Le 40107, double porte CMOS de puissance

Le 40107 est un mini-circuit à 8 broches [a], mais qui intègre deux portes MOS de puissance capable de délivrer plus de 100 mA (136 mA à V_{CC} = 10 V pour V_{DS} = 1 V) sur leurs sortie à Drain-Ouvert (l'état "1" n'est donc pas défini !) La dissipation du circuit ne pourra excéder 500 mW (250 mW par transistor de sortie !). Il est donc intéressant de le présenter dans des mini-applications de puissance.

En [b], un astable de puissance pour une balise clignotante (ampoule 12 V). Aucune différence avec l'astable classique, hormis la résistance de polarisation R. Elle définit l'état "1" de la porte drain-ouvert. L'ampoule polarise la sortie de l'autre porte pour l'état "1", lorsqu'elle est éteinte (courant de charge de C très inférieur au courant d'éclairement de l'ampoule !).

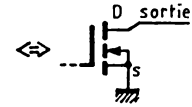
En [c], une commande bi-directionnelle de moteur, pour commander un moteur de platine K7 par exemple. On réalise un étage en H (qui est aussi dans ce cas une bascule $\overline{RS}$!) par l'adjonction de deux transistors PNP, T_1 et T_2, qui pourraient d'ailleurs être remplacés par des MOS canal P. Le tableau précise les combinaisons d'entrée et de commande du moteur et on se reportera à l'analyse de la bascule $\overline{RS}$ le cas échéant. Si a = b = "0", $V_1 = V_2 = V_{CC}$ (T_1 et T_2 saturés), la tension aux bornes du moteur est donc nulle et le moteur est à l'arrêt. Si a = "1" et b = "0", $V_1 = V_{CC}$ et donc $V_2 = 0$ V. La tension aux bornes du moteur est positive, il tourne donc dans son sens normal. Si a = "0" et b = "1", $V_2 = V_{CC}$ et donc $V_1 = 0$ V, le moteur tourne en sens inverse. Si a = b = "1", par la particularité des bascule RS, la tension de commande du moteur est inchangée (mémoire !).

En [d], les portes commandent des relais. Point de commentaire, hormis les diodes qui assurent la protection des transistors de sortie car la charge est inductive. La résistance interne et la tension du relais seront choisis selon V_{CC} en respectant les limitations du circuit.

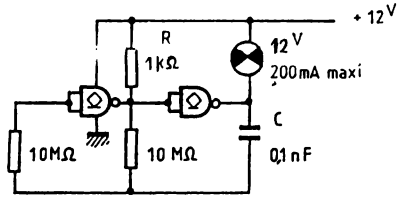


CD 40107 B

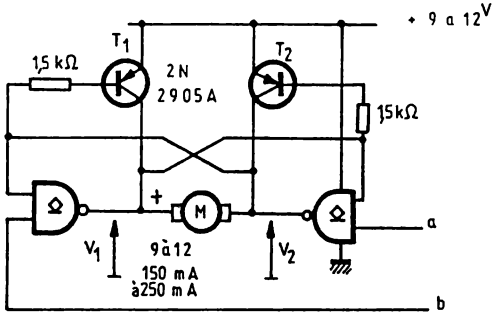
[a]

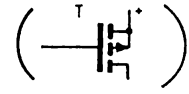


[b]

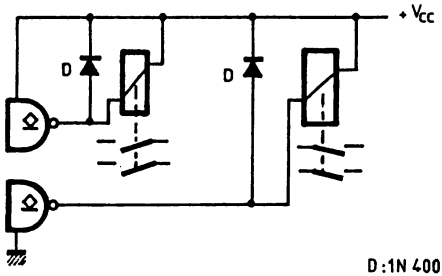


[c]





a	b	moteur
0	0	arrêt
0	1	sens inverse
1	0	sens normale
1	1	(mémoire)



[d]

D : 1N 4007 1N4154 (Ron faible)

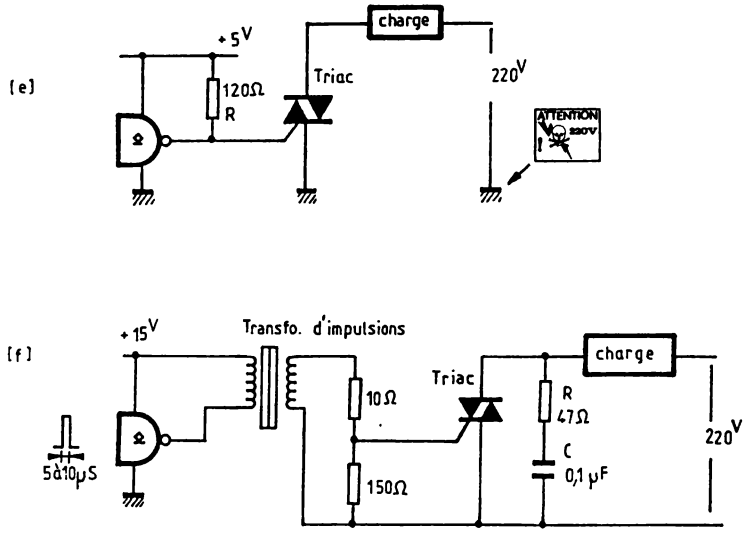
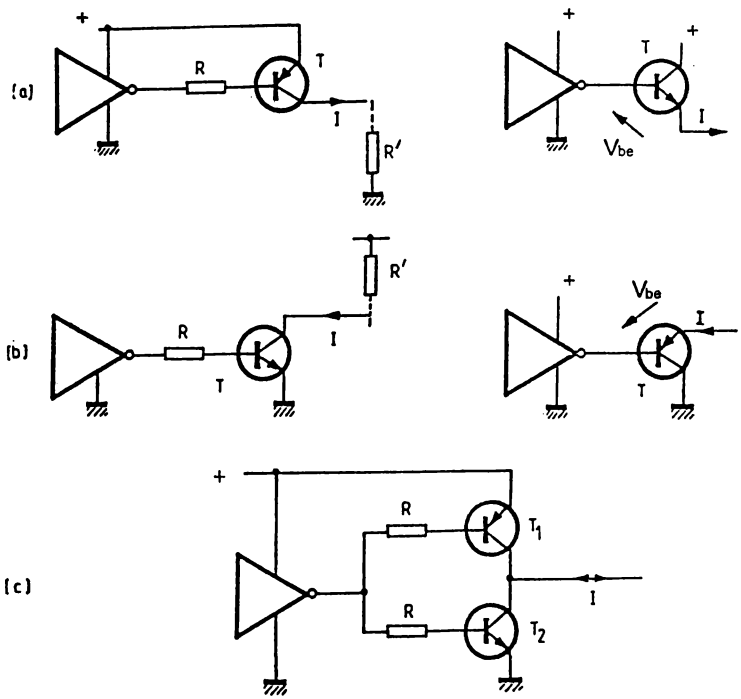


Fig. 10-10 — Le 40107, Porte CMOS de puissance.

En [e], une commande directe de triac ! R polarise la gâchette du triac. On notera avec attention la présence du 220V (neutre si possible) sur la masse du montage. Sinon, il faudra recourir à un étage d'isolation par transformateur d'impulsion, comme l'exemple en [f]. La porte sera commandée par des impulsions de 5 à 10 μs, à une fréquence de 100 Hz pour rendre conducteur le triac, mais les caractéristiques des impulsions de commande sont liées au choix du transformateur d'impulsion utilisé ! Le réseau RC élimine les parasites.

10.11 — Augmentation du courant de sortie des portes CMOS

On peut réaliser une sortie à collecteur ouvert, pour disposer d'un courant de sortie élevé pour l'état "1" ([a]) ou l'état "0" ([b]). Il sera parfois nécessaire de définir une résistance de polarisation R', pour fixer l'état non défini par la sortie collecteur ouvert. On pourra bien sûr remplacer ces transistors par des modèles MOS à canal N ou P pour leurs avantages (et R inutile), ou utiliser des circuits 74C 906 ou 74C 907, à sortie drain-ouvert.



Pour obtenir un courant de sortie plus important pour les deux états logiques, on réalise le montage [c]. T_1 et T_2 fonctionnent en saturation alternée. R assure leur saturation et sera déterminée selon le courant de sortie I. Avec des BD680/681 (T_1/T_2), I_{max} sera de plus de 1A ! Là aussi, on peut remplacer les transistors par des modèles MOS de puissance. Dans les deux cas, on fera attention aux courants qui traversent T_1 et T_2 au moment de la commutation (cf. fig. 2.2).

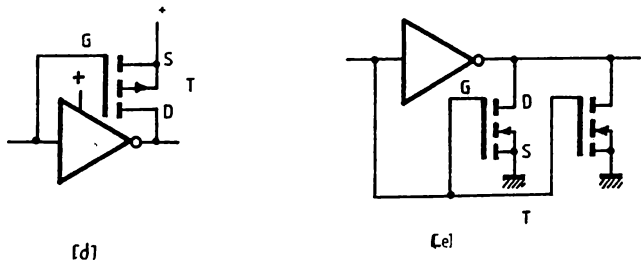


Fig. 10-11. — Augmentation du courant de sortie.

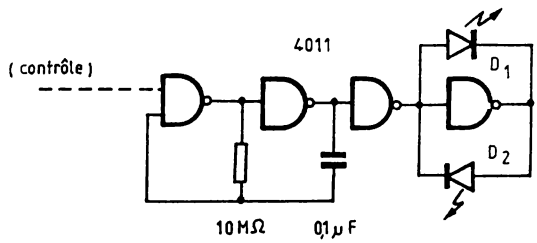
En [d] et [e], on utilise des transistors MOS pour augmenter le courant de sortie pour l'état "1", ou "0", tout en conservant l'état complémentaire défini, contrairement aux montages [a] et [b]. En effet, le transistor est commandé par le signal d'entrée de la porte, et son état est le même que celui du transistor interne (en sortie de la porte) correspondant ! On pourra utiliser un BS 250 (canal P), ou un transistor du circuit 4007 !

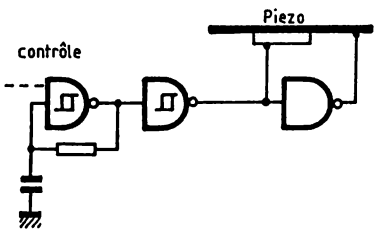
Les montages entre parenthèses permettent l'augmentation du courant de sortie, mais chutent la tension d'environ 1V.

10.12 — Cas particuliers

En [a], un "clignotant" ne mettant en œuvre qu'un seul circuit. Deux portes réalisent un astable et les deux suivantes, un double tampon avec sorties complémentées. On dispose les diodes électroluminescentes entre ces deux sorties, tête-bêche. Seule la résistance interne de la porte limitera le courant dans les Del's qui s'allumeront en alternance. Si le circuit n'est pas capable d'assurer la dissipation, on insèrera une résistance en série avec la sortie de la porte, mais le courant de polarisation des Dels risque d'être faible. A noter, si l'astable est inhibé, D_1 sera illuminée.

[a]





[b]

En [b], une commande de cristal piézo-électrique. Ce transducteur doit être commandé par un signal alternatif pour générer un signal sonore. Aussi, comme précédemment, on utilise des sorties complémentées. Ainsi, si l'astable est inhibé, le potentiel aux bornes du transducteur est fixe, mais cette polarisation est sans effet contrairement à un haut-parleur.

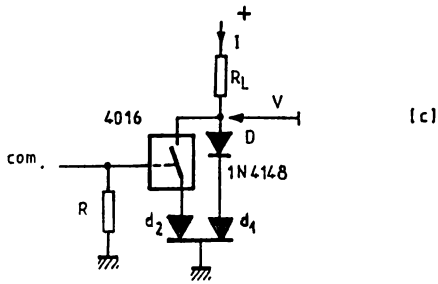


Fig. 10-12. — Montages particuliers.

En [c], une commande d'une diode électroluminescente bicolore à cathode commune. Si com = "0", la porte analogique est ouverte, et d_1 est éclairée par D. Si com = "1", d_2 sera éclairée, et d_1 bloquée car la tension V est insuffisante pour débloquer la diode D et permettre la conduction de d_1. Si le courant I excède 5mA, on mettra plusieurs portes analogiques en parallèle, ou on utilisera un transistor MOS. Ce montage est intéressant à utiliser comme témoin de fonctionnement d'un appareil (remplace voyant A/M), car il pourra préciser par son illumination un défaut (d_1 verte, d_2 rouge). Il existe bien sûr d'autres moyens de commander une Del bicolore, pour utiliser par exemple la couleur intermédiaire lorsque d_1 et d_2 sont illuminées, ou encore en variant leur polarisations respectives !...

CHAPITRE XI

RÉGIME LINÉAIRE

Fonctionner en régime linéaire en utilisant des circuits logiques, donc prévus pour fonctionner en saturation, peut sembler incroyable ! Il n'en est rien, car les portes CMOS possèdent une zone linéaire, dans leur caractéristique de transfert, au moment de la commutation.

11.1 — Amplificateur

On observe la caractéristique de transfert Vs = f (Ve) d'une porte CMOS, mettant en évidence cette zone linéaire. Autour de la tension de seuil de basculement de la porte, on observe une zone linéaire symétrique, sur plus de 80 % de variation de la tension de sortie Vs. Le signal d'entrée doit donc être polarisé à une valeur proche de la tension de seuil. En câblant R_2 entre entrée et sortie de la porte CMOS, on réalise la polarisation de l'entrée, en définissant l'équation Vs = Ve qui impose le point de repos P sur le graphe. En superposant à cette polarisation, un signal alternatif (isolation par un condensateur), on observe l'amplification de ce signal en sortie, avec un déphasage de 180°. En effet le point A, échantillon de Ve, reporté sur la caractéristique (point B) détermine le point C, donc l'amplitude de Vs à cet instant donné.

La pente de la caractéristique autour de la tension de seuil, détermine le gain en tension de l'amplificateur. Il est donné dans les caractéristiques du constructeur et on pourra se référer aux fiches techniques, ou à défaut au tableau I se rapportant à la fig. 8.4. Il est conseillé de se reporter à ce chapitre VIII pour déterminer le type de porte que vous choisirez. On remarque aussitôt un gain plus élevé pour des portes à 'buffer', qui se paye aussi par une diminution de la bande passante :

4011B gain 68 dB BP = 280 kHz à V_{CC} = 10 V
4069UB gain 23 dB BP = 885 kHz à V_{CC} = 10V

On notera que le gain s'exprime en dB (décibels), donc la valeur donnée correspond en fait à 20·LOG (Vs/Ve), soit donc pour ces deux cas, une amplification en tension, A, propre à la porte, de 2500 (68 dB) et 15 (23 dB) environ.

En disposant R_1 en série sur l'entrée, on réalise donc une amplification déterminée par R_1 et R_2 (contre-réaction). D'où la relation :

$Us = -(R_2/R_1) \cdot Ue$ et l'amplification en tension :

$A_{cr} = -R_2/R_1$, le signe "—" indiquant un déphasage de 180°.

A remarquer également l'impédance équivalente de C variant avec la fréquence, qui se rajoute donc à R_1, pour des fréquences basses...

La bande passante sera limitée également par les caractéristiques de la porte (qui varient selon V_{CC}), suivant l'amplification en tension A réalisée par R_1 et R_2 :

$BP_{cr} = BP/A_{cr} = BP/(R_2/R_1)$ avec :

BP = 230 à 295 kHZ pour V_{CC} :5 à 15V et portes xxxB
et BP = 0,71 à 2,8 MHz pour V_{CC} : 5 à 15V et portes xxxxUB

Il faudra toujours respecter : $A_{cr} < A$, d'où le choix du type de portes selon l'amplification en tension A_{cr} et la bande passante BP_{cr} souhaitées. On réservera donc les portes à 'buffer' (xxxxB) pour des amplifications élevées de signaux basse fréquence et les portes sans 'buffer' (xxxxUB) pour des amplifications moyennes de signaux de fréquence élevée.

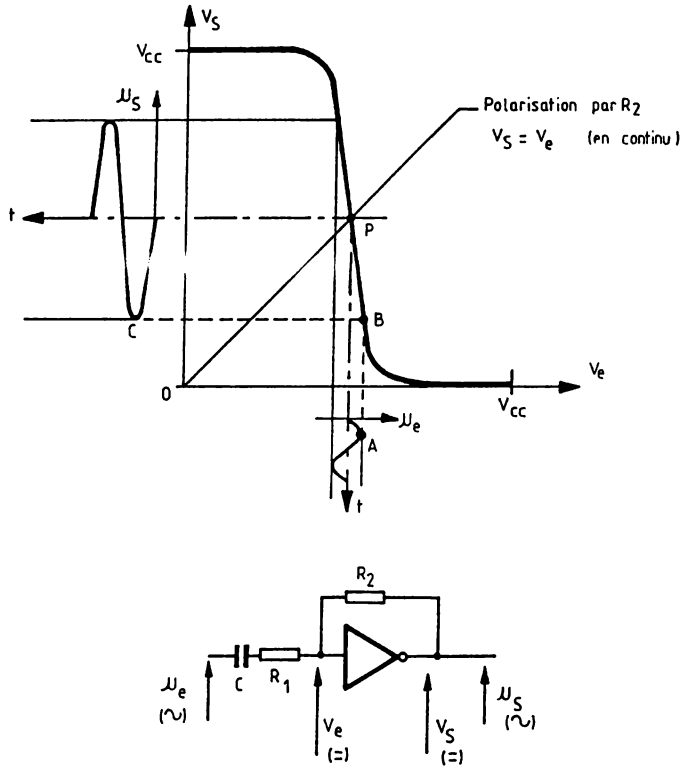


Fig. 11-1. — Amplificateur.

Une remarque à propos de la consommation : Comme la porte est polarisée autour du seuil de basculement, les transistors MOS conduisent tous les deux pour obtenir l'égalité Vs = Ve par R_2. Il circule donc un courant de repos commun au drain des deux transistors qui est plus élevé que le courant de repos de la porte (1 μA environ). On relève une valeur de 5 mA maximum, dépendant du type de porte et des caractéristiques des transistors MOS qui réalisent la porte. Avec un signal d'entrée, ce courant diminue proportionnellement à la variation de Ue (cf. fig. 2.2) ; il faudra bien sûr ajouter à ce courant, le courant consommé en sortie de la porte ! D'où des précautions à observer lors du découplage des alimentations de la porte !

11.2 — Amplification élevée

Pour augmenter le gain dynamique d'une porte, on réalise la mise en cascade d'un nombre de portes, tout en conservant un déphasage total de 180°, donc une sortie logique complémentaire. Le gain dynamique résultant sera la somme des gains de chaque porte (en dB) ou le produit des amplifications en tension ! Ainsi pour trois portes inverseuses 4001UB, le gain sera de 23 dB + 23 dB + 23 dB, soit une amplification en tension A de 2800 environ. Il faudra se rappeler que l'amplification déterminée par R_1 et R_2 limitera la bande-passante et qu'il s'avèrera alors fréquent d'utiliser des portes sans 'buffer'. (xxxUB).

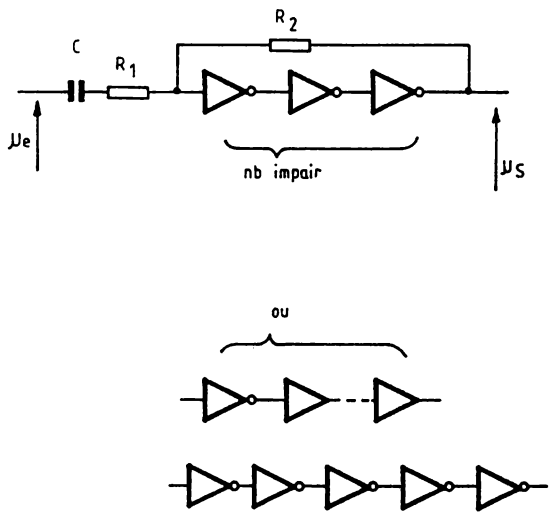


Fig. 11-2. — Amplification élevée.

11.3 — Amplification positive à ampli-op

L'avantage d'un tel montage apparaît surtout lors de l'utilisation d'amplificateurs opérationnels avec une tension d'alimentation unique. La plupart des Aop's courants possèdent dans ce cas une limitation de la plage de tension de sortie de 1^v à $V_{CC} - 1{,}5^v$ environ. En faisant suivre la sortie de l'Aop par un réseau de portes CMOS (déphasage nul → gain positif), on augmente la plage de Vs à celle de la porte soit de 0^v à V_{CC} pour des courants de sortie faibles. Pour des courants de sortie qui ne seraient pas en proportion avec les caractéristiques de sortie d'une porte CMOS, il vaudra mieux utiliser un Aop à faibles tension de saturation ou le montage de la fig. 11.5.

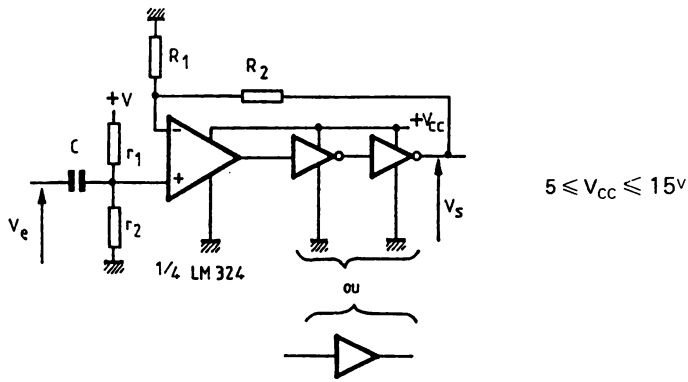


Fig. 11-3. — Amplification positive à Aop.

A noter que C isole la composante continue de Ve et, R_1 et R_2 déterminent l'amplification en tension de la même manière que le montage non-inverseur classique à Aop, donc $A_{cr} = (R_1 + R_2)/R_1$. Le pont résistif $r_1 r_2$ polarise l'entrée de l'Aop à environ $V_{CC}/2$ car l'alimentation est unique (crée une masse flottante fictive). V_{CC} sera limitée par la plage d'alimentation de l'Aop et de la porte CMOS, le plus souvent l'Aop fixera $V_{CC_{MIN}}$ et la porte CMOS, $V_{CC_{MAX}}$. La bande passante en boucle ouverte est limitée par l'élément le plus lent, mais la contreréaction, cette bande passante est réduite par le facteur A_{cr}.

11.4 — Amplification négative à ampli-op

On présente le montage type de l'Aop (inverseur) associé avec des portes de sortie CMOS. L'alimentation est symétrique, ainsi il est possible de réaliser la plupart des montages types de l'Aop à partir des figures 11.3 et 11.4.

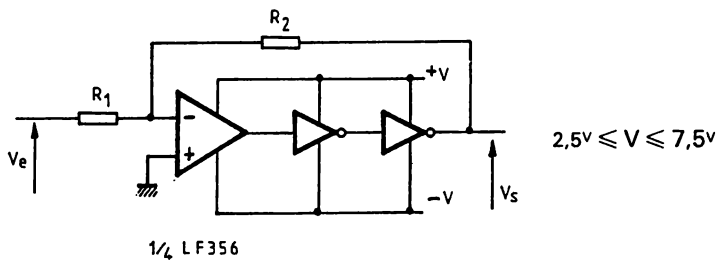


Fig. 11-4. — Amplification négative à Aop.

Ayant choisi une alimentation symétrique, la tension d'alimentation des portes CMOS (V_{DD}, V_{SS}) sera commune à celle de l'Aop ($+V_{CC}$, $-V_{CC}$), donc $+V = +V_{CC} = V_{DD}$ et $-V = -V_{CC} = V_{SS}$. Ainsi le point de polarisation des portes CMOS sera environ $(V_{DD} - V_{SS})/2$, soit environ le potentiel de masse. Il faudra respecter les limitation (+ V et —V) imposées par les caractéristiques des circuits utilisés. Il est également possible d'avoir des tensions d'alimentations de polarités inverses, mais non-symétriques.

D'où le montage inverseur. L'amplification est définie par $A_{cr} = -R_2/R_1$, comme pour le montage type de l'Aop, car R_2 effectue bien la contreréaction sur Vs. On notera l'absence du condensateur d'isolement en entrée car l'aop est polarisé à 0V au repos par $e_{(+)}$. Ce montage passe donc le continu et la relation $V_S = A_{cr} \cdot Ve$ reste valable dans la plage linéaire et la bande passante est limitée comme précédemment.

11.5 — Sortie de "puissance" avec ampli-op

La plupart des Aop disposent de courants de sortie plus élevés que les portes CMOS. Si le courant de sortie désiré est supérieur aux limites définies par les caractéristiques de sortie, on observe une limitation de la plage de sortie qui dépend de la tension de saturation des transistors MOS. Pour augmenter dans ce cas le courant de sortie, il suffit de grouper en parallèle plusieurs portes d'un même boîtier. Ainsi le courant de sortie sera égal à la somme des courants de sortie des portes associées, soit une multiplication par un facteur de 5 dans le cas de l'exemple.

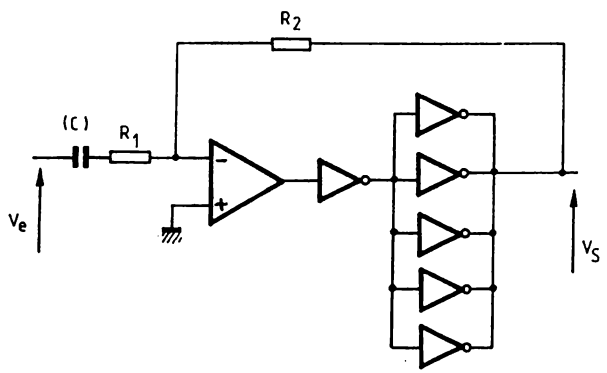


Fig. 11-5. — Sortie de puissance à Aop.

11.6 — Filtres

On ne propose qu'un exemple de filtre. En effet, il suffit de se reporter à un ouvrage d'application des Aop's pour découvrir une multitude de filtres (passe-bas, passe-haut, réjecteur, en T...) et les transposer en utilisant un amplificateur à portes CMOS au lieu de l'Aop.

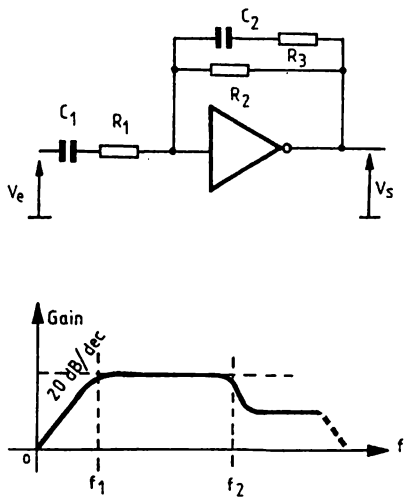


Fig. 11-6. — Filtre.

C_1 limite l'amplitude de Ve dans les fréquences basses et C_2 limite l'amplification pour les fréquences hautes en diminuant l'impédance équivalente du réseau de contreréaction. Selon les valeurs de C_1, C_2 et R_3, il sera donc possible de réaliser un filtre passe-bas, passe-haut ou passe-bande...

11.7 — Intégrateur

On retrouve également, en [a], une transposition du montage intégrateur à Aop. Il faut s'intéresser aux équations différentielles pour comprendre l'action de ce type de montage : Le courant i vaut Ue/R_1, Ue étant un signal variable superposé à la tension de polarisation. Le courant et la tension aux bornes d'un condensateur sont définis par l'équation différentielle :

$i = C.\ dUs/dt$ avec Us = signal variable autour de la polarisation

d'où $Us = (1/C) \cdot \int i\,dt = i \cdot t/C = Ue \cdot t/(R_1C)$

et la constante d'intégration $T = R_1C$.

Si Ue passe de 0 à U, Us sera une rampe positive linéaire jusqu'à la saturation de l'étage de sortie. Si Ue est un signal carré d'amplitude correctement définie, Us sera un signal triangulaire. Le rôle de R_2 est de limiter l'amplification et éviter le blocage en saturation pour un signal Ue non-périodique. On pourra se reporter en [b] ou à la figure 3.26 qui présentent des applications en génération de signal.

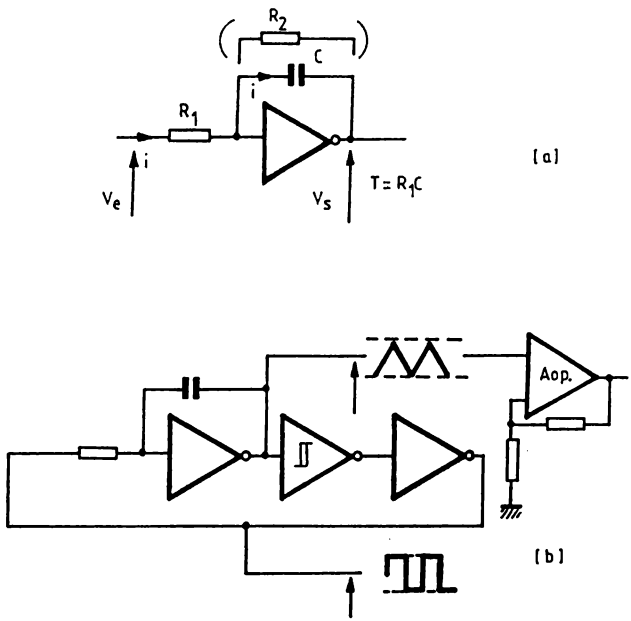


Fig. 11-7. — Intégrateur.

11.8 — Amplificateur de puissance

On connecte en sortie de la porte un étage d'amplification classe C, réalisé à l'aide de deux transistors complémentaires de puissance T_1 et T_2. Ces derniers pourront être des transistors moyenne puissance (2N 2904/2905...) ou des darlingtons (ou pseudo-darlingtons) pour augmenter le courant de sortie (1,5A avec BD 679/680).

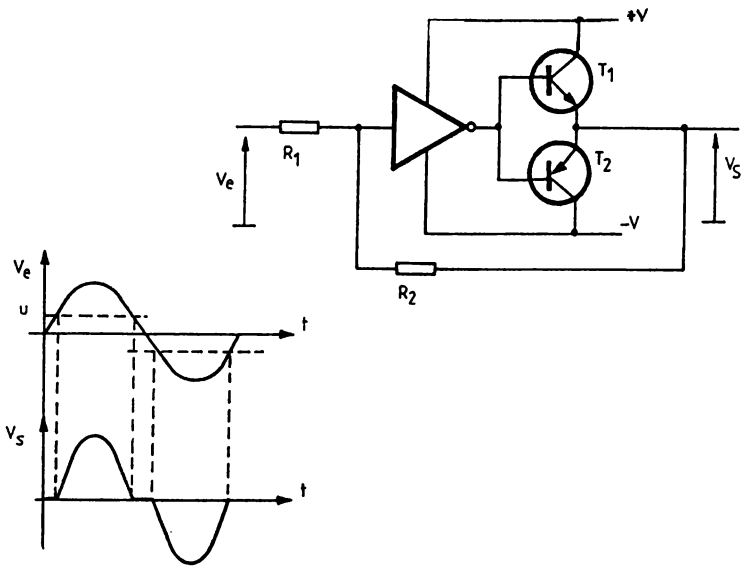


Fig. 11-8. — Amplification de puissance.

L'amplification reste définie par R_2 et R_1, et il est possible de réaliser d'autres montages (non-inverseur...). On observe en sortie une distorsion de croisement due au Vbe des transistors. Le seuil en entrée, u, dépend de l'amplification, soit $u = Vbe/A_{cr}$, en valeur absolue. Si on désire limiter cette distorsion, il faudra pré-polariser ces transistors pour les faire fonctionner en classe AB, mais on a voulu rester le plus simple dans cet exemple. La plage de la tension de sortie dépend des Vce de saturation des transistors et de l'alimentation V. Il reste possible de remplacer les transistors par des MOS de puissance, mais attention aux courants de repos.

11.9 — Mise en forme

En effectuant une contre-réaction à diodes tête-bêche, on conserve donc le gain de boucle ouverte de la porte jusqu'à atteindre les tensions de sortie de saturation, par les propriétés des diodes : diode bloquée → résistance équivalente très élevée, diode conductrice → résistance équivalente très faible.

Ainsi pour un signal Ue, d'amplitude minimum, on observe un signal carré en sortie. *On effectue donc une remise en forme.* L'amplitude minimum du signal d'entrée vaudra :

$$Ve_{MIN} = Vs_{MAX}/A$$

, A étant l'amplification en boucle ouverte
et Vs_{MAX} étant limité par les tensions d'alimentation.

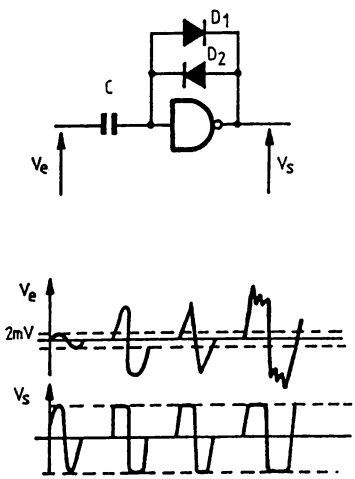
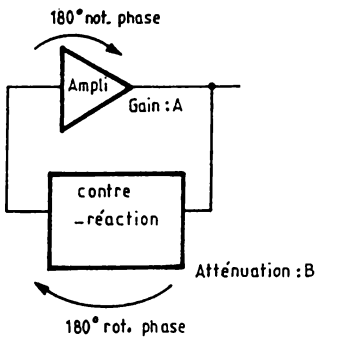


Fig. 11-9. — Mise en forme.

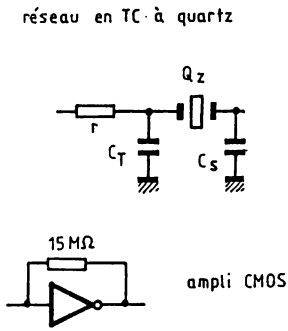
Ainsi pour une porte xxxB, un niveau de 2mV (= 5V/2500) crête-crête sera suffisant pour obtenir un signal rectangulaire en sortie. Seulement, la bande passante sera faible, limité de plus par C qui isole la polarisation de Ve (C inutile si alim. symétrique)...

11.10 — Contreréaction et oscillateurs

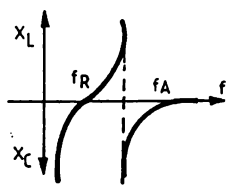
En [a], on définit le principe de la contreréaction pour entretenir une oscillation. Un oscillateur nécessite un amplificateur de gain en tension négatif, A, donc avec une rotation de phase de 180°, et un réseau de contreréaction d'atténuation B, également avec une rotation de phase de 180°. Pour entretenir l'oscillation, il faut que A/B soit supérieur à 1 et que le déphasage total soit un multiple de 360°. Si ce terme est proche de 1, le signal de sortie est sinusoïdal, ce qui nécessite un asservissement de gain. Sinon le signal de sortie sera carré (fonctionnement en saturation).



[a]



[b]



réactance d'un quartz

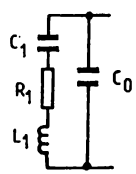
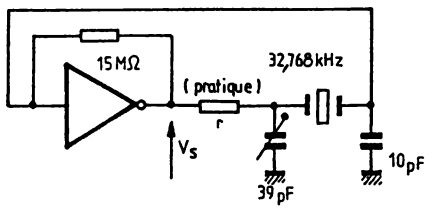


schéma équivalent d'un quartz

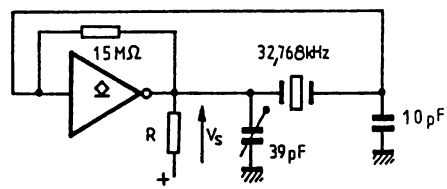
En [b], on présente l'amplificateur à porte CMOS (qui est maintenant connu), le réseau de contreréaction à quartz et les caractéristiques d'un quartz (réactance et schéma équivalent). Le quartz, fondamentalement équivalent à une self en mode parallèle, forme avec C_T et C_S un réseau en

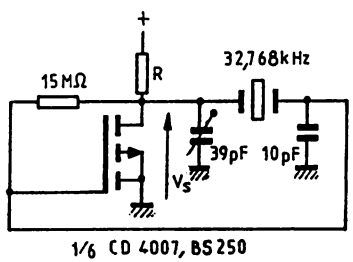
π qui assure un déphasage de 180°. C_T et C_S constituent la charge capacitive du quartz et seront déterminées selon les caractéristiques constructeur du quartz, soit de l'ordre de 20 pF à 32 pF ($= C_T \cdot C_S/(C_T+C_S)$) pour assurer l'oscillation du quartz autour de sa fréquence nominale. Une variation de ces condensateurs, modifiera la fréquence d'oscillation et permettre donc un ajustement très précis. On rajoutera un déphasage supplémentaire par r pour garantir l'oscillation et augmenter la stabilité de l'oscillateur. Il faut que le gain en tension, A, de la porte CMOS soit supérieur à 2 pour entretenir l'oscillation, car le réseau en PI accuse une atténuation B=2, ce qui est le cas le plus souvent (A > 15), d'où le signal de sortie carre.



[c]

[d]





[e]

En [c], le schéma d'un tel oscillateur. L'expérience montre que l'utilisation de portes non-"bufferisées" permet une meilleure stabilité, mais leur consommation est plus élevée. Avec des portes "bufferisées", il faut augmenter r et C_T par un facteur de 10 ou plus. L'exemple proposé est

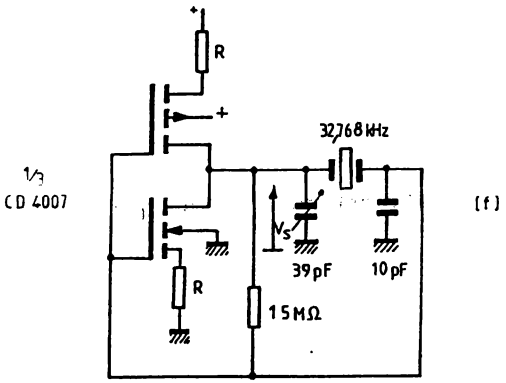


Fig. 11-10. — Contreréaction et oscillateurs.

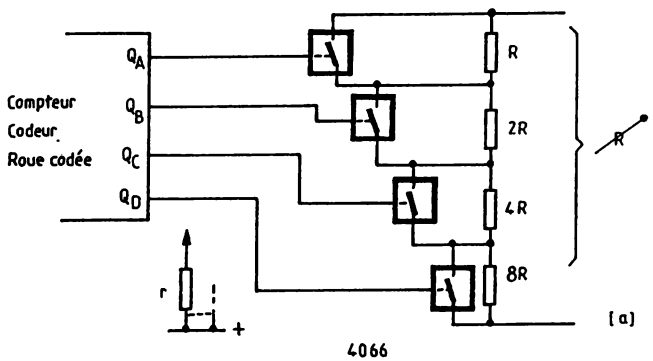
un oscillateur à 32768Hz, utilisé dans les horloges (=2^{15}Hz). En [d], la variante utilisant des portes à drain-ouvert, R fixant la plage de tension de sortie et rajoutant un déphasage supplémentaire, comme r.

Les oscillateurs à portes CMOS sont plutôt de médiocres oscillateurs comparés à leurs homologues à transistors ou FET, car ils consomment plus de courant et sont moins stables (bien que r en augmente la stabilité !). En [e] et [d], on trouve deux variantes utilisant des MOS discrets (BS250...) ou intégrés, comme dans le 4007.

De tels oscillateurs nécessitent de nombreux calculs complexes et des essais pour assurer une oscillation stable et une faible dérive en température, ce qui a été évité dans le contexte de ce livre. Il faudra vous reporter à un ouvrage plus détaillé si ce sujet vous intéresse tout particulièrement...

11.11 — Résistances et Capacités programmables

En utilisant des portes analogiques comme interrupteurs, on réalise facilement des résistances [a] ou capacités [b] programmables. La commande sera un code BINaire sur quatre bits, réalisé par la sortie d'un compteur, d'une mémoire, d'un codeur, d'une roue codeuse (câbler alors des résistances de polarisation r à V_{DD} et relier la broche commune à V_{SS})... Les tensions d'alimentation de la porte analogique limitent les potentiels aux bornes de la résistance ou capacité équivalente et définissent les signaux de commande. La résistance variera de 15·R à 0, par pas de R et la capacité de 0 à 15·C, par pas de C, proportionnellement au code BINaire. Pour une influence minime des caractéristiques intrinsèques des portes analogiques et respecter les données idéales précédentes, R sera définie $R_{ON} << R << R_{OFF}$, donc de 10 kohm à 50 kohm et C de 100 pF à 5 nF environ.



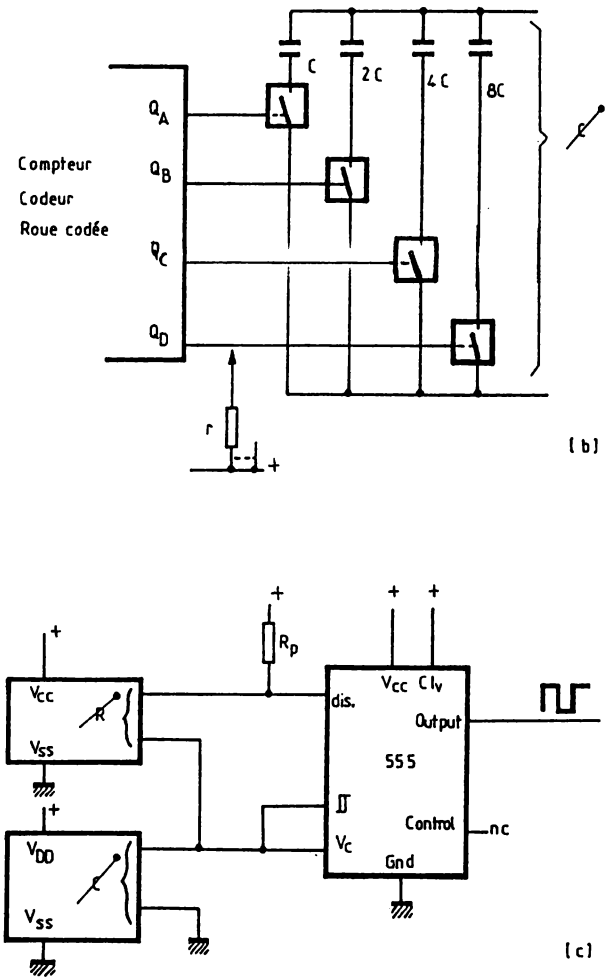


Fig. 11-11. — Résistance et capacité variable.

Nombreuses sont les applications possibles de ces éléments programmables ! Ainsi l'exemple [c] suggère un générateur de signaux carrés programmable à base du 555. On évitera les cas R = 0 et C = 0 et on choisira Rp << R pour conserver un rapport cyclique de 50 % sensiblement constant.

11.12 — Echantillonneur-bloqueur

On utilise une porte analogique pour réaliser un pseudo-interrupteur. Quand il est fermé, $V_C = Ve$, c'est la phase échantillonnage. Quand il s'ouvre, C conserve sa charge et V_C reste au potentiel précédant l'ouverture de l'interrupteur analogique, ce qui correspond bien à la phase mémorisation, d'où l'appelation de ce montage. Pour éviter la décharge de C, on recopie Vs = Vc par un suiveur à haute-impédance. Il faudra également choisir un condensateur à faibles courants de fuite, car ce sera sa capacité à conserver sa charge qui garantira la précision de la tension échantillonnée et mémorisée. L'application de ce montage se retrouve dans les multimètres (mémorisation) et dans les conversions Analogiques/Digitales. Il est possible de remplacer la porte analogique par un transistor MOS, comme l'indique la variante. V_{DD} et V_{SS} fixe la plage de variation de Ve !

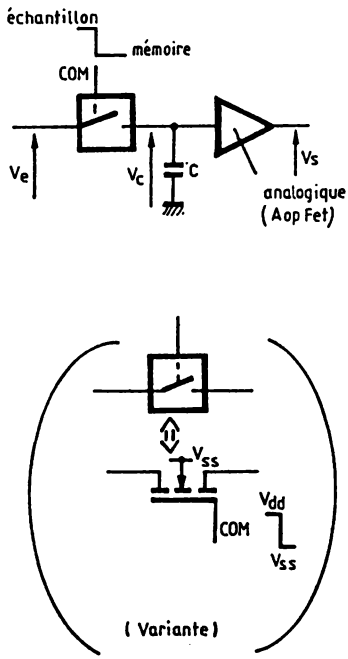


Fig. 11-12. — Echantillonneur-bloqueur.

11.13 — Suiveur à polarité programmable

Il est parfois nécessaire de changer la polarité d'un signal, selon un signal de commande. Si la porte analogique est ouverte, $e_{(+)} = Ve$ et $e_{(+)} = (Ve + Vs)/2$, donc $Vs = Ve$ car $e_{(+)} = e_{(+)}$. Si la porte analogique est fermée, $e_{(+)} = 0$, donc $Vs = -Ve$. La résistance d'entrée (min. =R) du montage dépend de l'état de la porte analogique et de la valeur de R. L'amplitude maximum de Ve est limitée à enfiron + V et — V ce sont les tensions d'alimentation de la porte et de l'Aop. On a représenté une variante en remplacant la porte analogique par un transistor MOS canal N. Sa 'Gate' devra être bloquée à — V pour assurer un fonctionnement correct sur la plage de Ve.

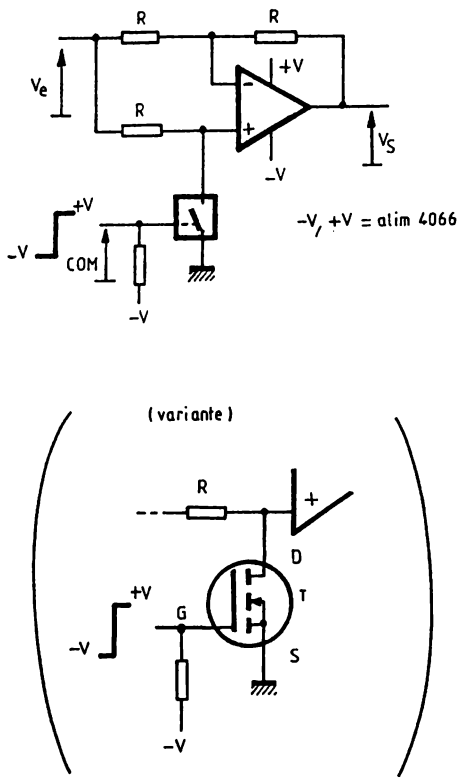


Fig. 11-13. — Suiveur à polarité programmable.

11.14 — Amplificateur à polarité programmable

Le montage précédent ne permettait d'obtenir une polarité programmable que pour un gain en tension unitaire. Si on désire une amplification avec une polarité programmable, il faut réaliser une commutation entre le montage inverseur et le montage non-inverseur de l'Aop. On utilise des portes analogiques et un inverseur à transistor (T, r_b, r_c) pour leur commande. Si la commande COM vaut +V, les portes 1, 3 et 4 sont fermées et la porte 2 ouverte, donc $e_{(+)} = Ve$ et $e_{(+)} = Vs \cdot R_1/(R_1 + R_2)$ d'où $Vs = +Ve \cdot (R_1 + R_2)/R_1$. Si COM = −V, seule la porte 2 est fermée, donc $e_{(+)} = 0$ et $e_{(-)} = (Vs \cdot R_1 + Ve \cdot [R_1 + R_2])/(R_2 + 2R_1)$, d'où $Vs = -Ve \cdot (R_1 R_2)/R_1$. L'amplitude de Vs et Ve sont limitées par V_{DD} et V_{SS} des portes analogiques. Les relations sont valables en dimensionnant correctement R_1 et R_2 par rapport à R_{on} et R_{off} des portes analogiques.

En associant ce montage à un détecteur de polarité (Aop monté en comparateur) qui commanderait la polarité de cet amplificateur, on réaliserait alors un amplificateur de valeur absolue, comme le présente la variante. Cette variante permettrait d'utiliser un voltmètre continu pour visualiser l'amplitude d'une tension, le signe étant donné par la tension en COM.

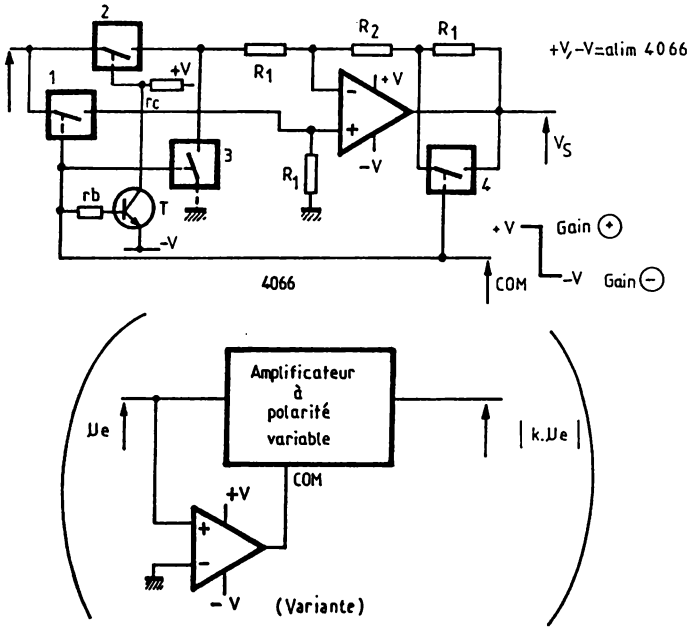


Fig. 11-14. — Amplificateur à polarité programmable.

CHAPITRE XII

LES "QMOS"

Ce sont les frères rapides des circuits CMOS. En effet, cette technologie permet aux circuits CMOS de rivaliser en temps de réponse avec leurs concurrents TTL, tout en conservant l'avantage de leur faible consommation et courants de polarisation.

12.1 — Caractéristiques des QMOS

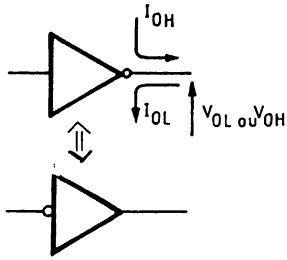
La grosse différence avec les circuits CMOS se situe dans les délais de propagation de la porte (moins de 20nS), ce qui porte la bande-passante de la porte au delà de 20MHz. Il existe trois types de portes, selon les lettres de leur référence : HC, HCU ou HCT et les circuits QMOS reprennent une grande partie des circuits TTL-LS et CMOS. Ainsi un 74LS04 se retrouvera sous la référence 74HC04, 74HCT04 ou 74HCU04, mais un 4060 s'appelera 74HC4060...

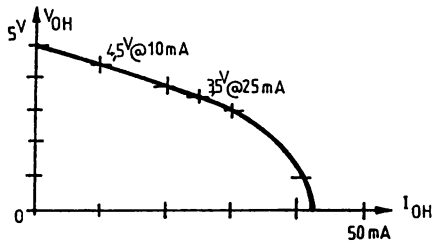
Le symbole HC indique la technologie QMOS et les lettres U et T, une porte sans-buffer ('Unbuffered') ou une porte compatible TTL-LS, respectivement. En effet, le seuil de basculement d'une porte HC/HCU est d'environ 50 % V_{CC}, mais est défini dans la plage 30 % à 70 % de V_{CC}, comme pour les portes CMOS, alors qu'une porte HCT possède un seuil proche de 1,4V, mais défini dans la plage 0,8V à 2V, comme pour les portes TTL-LS. L'alimentation (V_{DD}-V_{SS}) des portes se situera dans la plage 2V à 6V (HC, HCU) et 4,5V à 5,5V (HCT). On pourra se rappeler la plage des CMOS (3V à 18V) et des TTL-LS (4,75V à 5,25V) pour comparaison. Le temps de propagation diminue lorsque la tension d'alimentation croît, mais la consommation et la dissipation augmentent ; ainsi un élément logique QMOS aura une consommation en puissance, inférieure à 0,3 mW à 100 KHz, 3 mW à 1 MHz et 30 mW à 10 MHz alors que la consommation d'un élément logique TTL-LS est constante et de l'ordre de 20 à 150 mW à 10 MHz selon le type d'élément !

Les QMOS possèdent, comme les CMOS, un réseau de protection en entrée et sortie, mais le courant maximum sur une entrée ne devra jamais dépasser 20 mA et il est conseillé de se limiter à 2 mA pour éviter le phénomène de 'latch-up'. Une porte QMOS possède un courant de polarisation de 1μA dans la plage normale d'entrée : V_{SS} à V_{DD}. Pour éviter des faux déclenchements sur fronts ou des oscillations parasites, les temps de montée et descente des signaux d'entrée (portes, 'clock' d'un compteur...) devront être inférieur à 1μs, et parfois même 500 ns. On se reportera aux caractéristiques détaillées du constructeur. Près de la fréquence maximum, le déclenchement de compteurs, bascules... nécessitera un rapport cyclique de 50 % pour un déclenchement correct.

La figure montre les possibilités de charge en sortie d'une porte QMOS. On remarque un courant de 25 mA en restant dans la plage de définition des états logiques en CMOS. La sortance d'une porte HCT est de 2 TTL, 10 TTL-LS, 20 ALS, 6 FAST, 2 S ou 2 AS. Si l'élément logique est un 'driver' de bus, on peut multiplier la sortance par 1,5.

On modifie légèrement le symbole pour marquer la différence avec une porte CMOS et accentuer l'amplification en courant de la sortie.





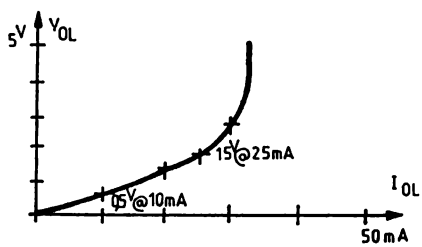


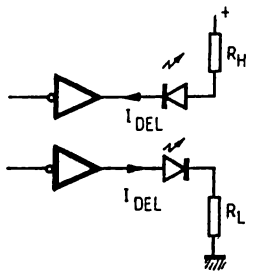
Fig. 12-1. — Caractéristiques.

12.2 — Commandes de Dels et relais

Au vu des courants de sortie, il est possible de commander des diodes électroluminescentes avec des intensités lumineuses élevées. On retrouve donc en [a], les deux commandes possibles de Dels et les formules de calcul associées. Si R_H ou R_L est nulle, il faudra veiller à respecter la dissipation maximum de la porte et du circuit !

Il est également possible de commander des relais [b] ! Dans ce cas, il peut s'avérer nécessaire de grouper des portes en parallèle pour garantir le courant de collage et de maintient du relais. Il ne faudra alors pas ommettre des resistances "d'équilibrage", R, qui limitent le courant de commutation (par dispersion des caractéristiques, une porte déjà à "1" fournira un courant alors qu'une autre à "0" en consommerait). De même, il convient de protéger les transistors de sortie des tensions induites par une diode D.

Si les courants véhiculés par les portes sont élevés, il faudra effectuer un découplage correct des alimentations.

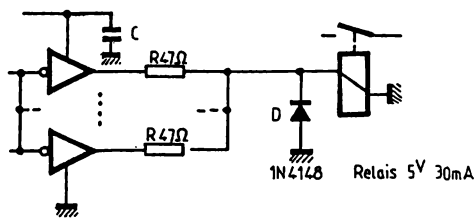


$$R_H = \frac{V_{CC} - V_{DEL} - V_{OL}}{I_{DEL}}$$

$$R_L = \frac{V_{OH} - V_{DEL}}{I_{DEL}}$$

[a]

V_{DEL} : tension de polarisation de la Del à I_{DEL}
V_{OH} : tension de sortie de la portée, état "1", à I_{DEL}
V_{OL} : tension de sortie de la porte, état "Ø", à I_{DEL}



[b]

Fig. 12-2. — Commandes de dels et relais.

12.3 — Capacités parasites

Comme on utilisera cette technologie à des fréquences plus élevées, il est intéressant d'évaluer les capacités parasites d'une porte. Voulant rester simple dans cet ouvrage, on n'en reparlera pas, mais il faut savoir qu'elles existent et qu'elles sont la cause des délais de propagation...

En entrée, une capacité C_i et, en sortie, C_f de l'ordre de 4 à 6pF. Entre entrée et sortie, une capacité C_o de l'ordre de 1 à 2pF.

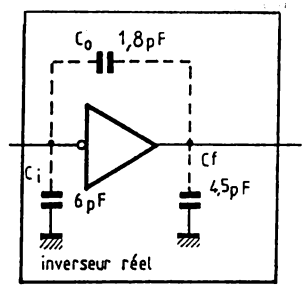


Fig. 12-3. — Capacités parasites.

12.4 — Amplificateur

Comme avec une porte CMOS, on peut également utiliser une porte QMOS en linéaire. Le condensateur se justifiera selon les polarisations en entrée et selon le choix d'alimentation, symétrique ou non. L'amplification vaut $A_{cr}=V_S/V_e=-R_2/R_1$ environ.

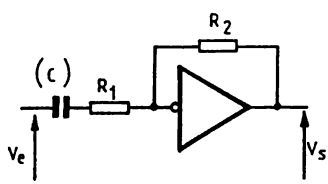


Fig. 12-4. — Amplificateur.

12.5 — Amplificateur "vidéo"

On utilise le principe précédent, mais on groupe des portes en parallèle pour augmenter leur courant de sortie et pouvoir attaquer une charge de 75 ohms, dans le cas d'une application vidéo. Un tel montage est possible sans résistance d'équilibrage car on fonctionne en régime linéaire.

La mise en œuvre du montage montre que le gain chute à cause de la résistance de sortie de la porte et de celle de la charge. Sans rentrer dans le détail, il conviendra donc de choisir les éléments (R_1, R_2) en pratique.

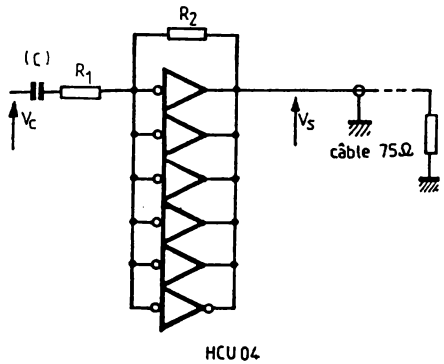


Fig. 12-5. — Amplificateur "vidéo".

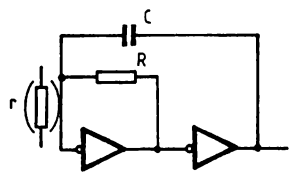
Ainsi pour R_2=100 kΩ et R_1=50 Ω, le gain en tension est de 6 sous charge de 75 ohms en sortie. A 1MHz le déphasage est nul, mais atteint —90° à 20 MHz. Pour R_2=1,5 Ω et R_1=250 Ω, la bande passante est de plus de 20 MHz sous 75 Ω. Il faut se rappeler qu'elle diminue d'autant que le gain augmente.

Ce montage peut être utilisé pour effectuer une liaison vidéo de plus de 20 mètres, pour relier par exemple un magnétoscope à un téléviseur (gain de 1) ou pour amplifier des signaux vidéo un peu faibles. Associés à des filtres, il est possible de réaliser un correcteur vidéo...

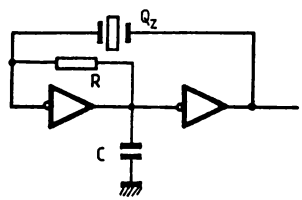
12.6 — Oscillateurs

En [a], on retrouve l'astable classique. Il est possible comme avec les portes CMOS, de se dispenser de la résistance r si la capacité du condensateur C n'est pas trop élevée (ie de la porte <2mA). La période vaut environ 1,8·R·C. Pour éviter de se répéter, on se reportera au chapitre III pour plus d'explications.

[a]



[b]



En [b], on stabilise la fréquence d'oscillation en utilisant un quartz. la première porte est utilisée en amplificateur de mise en forme et la seconde complémente le signal et joue le rôle de tampon de sortie. Pour assurer l'oscillation, le condensateur C rajoute un déphasage au signal.

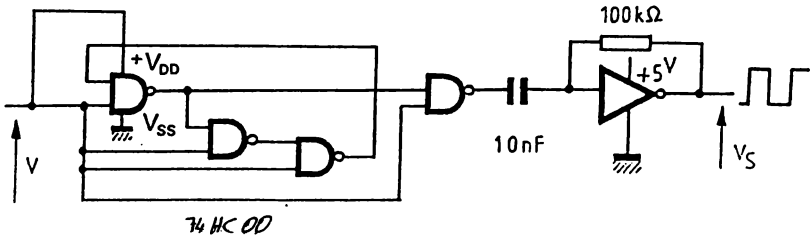


Fig. 12-6. — Oscillateurs.

En [c], un VCO un peu particulier, puisque on agira sur la tension d'alimentation. On réalise un oscillateur en rebouclant la sortie d'un nombre impair (pour assurer l'oscillation) de portes en série (cf. fig. 3.1). La période vaut donc $2 \cdot n \cdot t_p$, avec n=nombre impair de portes et t_p=temps de propagation d'une porte, si les portes ont les mêmes caractéristiques dynamiques (t_p identiques). Sinon ce sera la somme des temps de propagation de toutes les portes, pour le passage de "1" → "0" et le passage de "0" → "1", d'où le '2' dans la formule précédente. Les caractéristiques du circuit mettent en évidence une relation entre la tension d'alimentation et le temps de propagation (et aussi la bande passange !). Plus la tension V_{DD}—V_{SS} est élevée, plus t_p est court. V variera donc de 2V à 6V, mais on remarque un fonctionnement correct dès 1V et une variation linéaire de 1,5V à 4,5V. Avec un HC00, on a relevé la relation : $F_e = 5{,}8 \cdot V$ (en MHz), donc une variation linéaire de 8 MHz à 26 MHz. A V=1V, on a observé F_S=2 MHz. La sortie s'effectue à travers un amplificateur à liaison capacitive, réalisé avec une porte alimentée par la tension d'alimentation fixe, qui se chargera d'une remise en forme des signaux, qui seront donc carrés, l'amplitude crête : V_{CC}, soit 5V dans ce cas.

12.7 — Interface

Un interface ultra-simple puisqu'il se limite à un élément résistif ! On l'utilisera dans tous les cas ou les tensions d'entrée excèdent les potentiels d'alimentation de la porte QMOS. Il suffira de dimensionner R pour limiter le courant dans la porte à 2mA. En fonctionnement normal, il est de 1μA, mais si le réseau de protection agit, il ne sera limité que par R. Une valeur de 100 Kohms autorise une tension maximum de + 2000 V en entrée, en théorie (car les champs électriques haute-tension nécessitent un peu plus de précautions). On a donc réalisé un interface 12V (ou 24V) — 5V. On pourra utiliser la variante qui limitera l'influence des bruits sur V_e et permettra la commande par circuit-ouvert (collecteur-ouvert ou drain-ouvert). En effet, le seuil de basculement reste celui défini par la porte et sa tension d'alimentation, mais il n'y a pas de limite pour l'amplitude maximum de l'état "1".

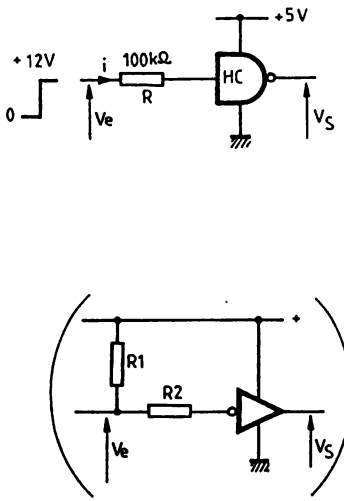


Fig. 12-7. — Interface.

12.8 — Astable faible dissipation

Pour limiter la dissipation d'un astable, il suffit de limiter le courant d'alimentation. On dispose dans ce cas R_1 entre V_{DD} et $+V_{CC}$ et entre V_{SS} et 0 V (ou $-V_{CC}$). Pour un fonctionnement correct, il faut que le courant d'alimentation soit supérieur au courant de charge et décharge de C, donc que R_1 soit inférieur à R ($R_1 \ll R$).

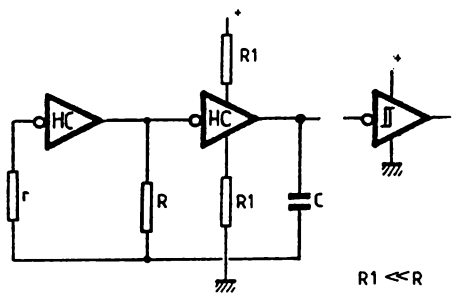


Fig. 12-8. — Astable faible dissipation.

Pour exploiter le signal de sortie, on dispose un 'buffer' en sortie, alimenté normalement (donc un circuit différent !) et 'trigger' pour garantir les état de sortie. L'avantage est une diminution de la puissance consommée par l'astable, et donc des signaux de sorties plus propres au moment de la commutation. Sans R_1, la dissipation P sera : $P < 100$ mW à 1KHz, $P < 5$mW à 10 KHz et $P < 1$mW à 100 KHz, alors qu'avec R_1, P sera toujours inférieur à 30 mW. Ce montage est donc particulièrement intéressant pour des basses fréquences.

12.9 — Amplificateur de casque 500mW stéréo

On associe un amplificateur en tension, porte 1, dont le gain peut être élevé, à un amplificateur de puissance, porte 2 à 6 groupées en parallèle. C_1, condensateur d'isolation, sera dimensionné pour ne pas trop limiter les fréquences basses. R déterminera l'amplification en tension de l'étage, mais sera limité au gain en tension de la porte (15 avec HCU). L'amplification en tension du second étage est de 8 environ. C_2 coupera la composante continue en sortie, pour commander le haut parleur du casque.

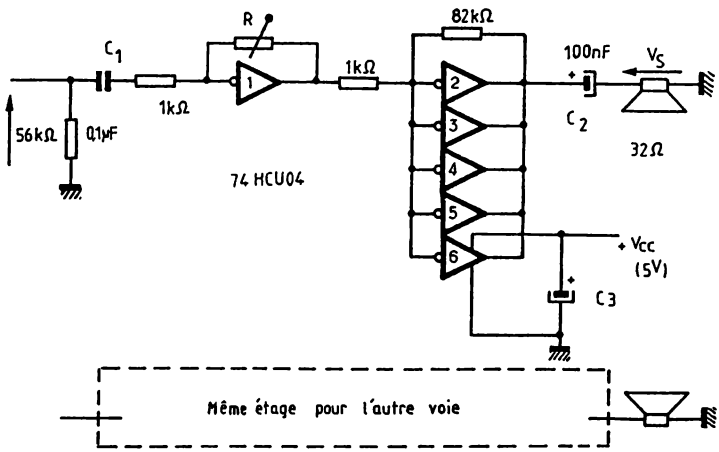


Fig. 12-9. — Amplificateur de casque.

Son impédance sera en rapport (> 24ohms) avec les courants de sortie de l'étage de puissance (120 mA pour 3,5 V crête-crête environ), tout en respectant la dissipation maximum du circuit de 500 mW, d'où la puissance maximum de sortie de 400 mW environ. Pour un signal de sortie maximum (5 V crête-crête), un signal d'entrée d'au moins 15 mV_{eff} est nécessaire. L'alimentation du circuit sera découplée par C_3 dont la valeur sera définie selon le câblage imprimé. On réalisera le même montage pour l'autre voie.

12.10 — Sources de courant

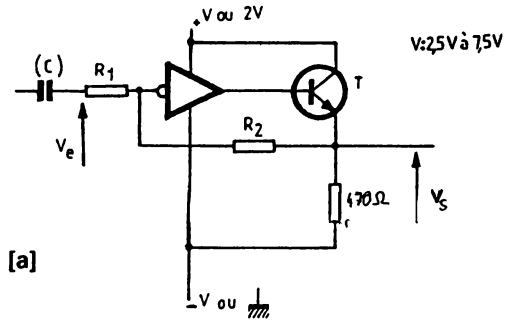
L'idée est venue en réalisant un amplificateur à faible impédance de sortie, [a], et s'applique également aux circuits CMOS. On réalise donc un étage amplificateur classe A à transistors, relié à la sortie de la porte QMOS. La contre-réaction s'effectue sur la sortie par R_2, donc $V_S=-V_S \cdot R_2/R_1$. En présence de signaux alternatifs, on disposera un condensalteur C d'isolement en entrée. L'amplitude du signal de sortie est réduite par le V_{be} de T. Ainsi la plage est de —V ou 0V à +V—V_{be}.

En [b], on remarque la similitude. La tension de seuil de la porte fixe la tension aux bornes de R, soit V_{seuil}. Le courant de collecteur de T est également défini par cette équation sous le contrôle de la porte. En effet, si I augmente, V_R augment et dépasse V_{seuil}, la porte bascule, T est bloqué et I diminue ; et vice-versa. D'où une régulation de courant à $I=V_{seuil}/R$ avec V_{seuil} égal à environ (+V—(—V))/2, soit V. La charge devra être disposée entre +V et le collecteur du transistor. Il est possible de disposer une charge reliée à —V, en inversant le montage et en utilisant un transistor PNP pour T. Dans tous les cas, le transistor sera choisi pour être contrôlé par les courants de sortie de la porte (bêta) et le courant I (Ic et puissance).

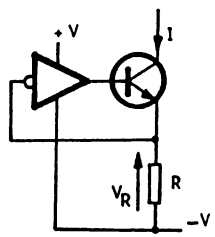
[c], la variante avec référence à la masse ($V_{SS}=0^V$) et permettant le réglage ou l'ajustement de I, car la tension de seuil n'est pas définie avec une grande précision (30 % à 70 % de l'alimentation !). Pour une régulation de I, on aura $V_e=V_{seuil}$ et $V_R=R \cdot I$. Ces relations seront liées par P et R_1, soit :

$V_e=((k \cdot P+R_1) \cdot V+(1-k) \cdot P \cdot V_R)/(R_1+P)$ avec k=variation de 0 à 1 de P.

d'où la relation : $I=V \cdot (R_1+k \cdot P)-V_{seuil} \cdot (R_1+P)/((1-k) \cdot P \cdot R)$



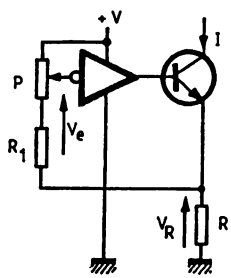
[a]



$$I = \frac{V_{seuil}}{R} \approx \frac{2,5V}{R}$$

$$V \approx 2,5^{V}$$

[b]



[c]

Fig. 12-10. — Sources de courant.

12.11 — Oscillateurs et VCO à quartz

Voici le montage classique [a], que l'on se propose maintenant de transformer en VCO. R_1,R_2 et la porte réalisent un amplificateur déphasant de 180°, alors que Qz, C_1 et C_2 réalisent le réseau en π de contreréaction $R_2 > 2 \cdot R$ garantit l'oscillation, d'où le choix des éléments pour un quartz de 3,58 MHz par exemple C_1 assurera le réglage fin de la fréquence d'oscillation.

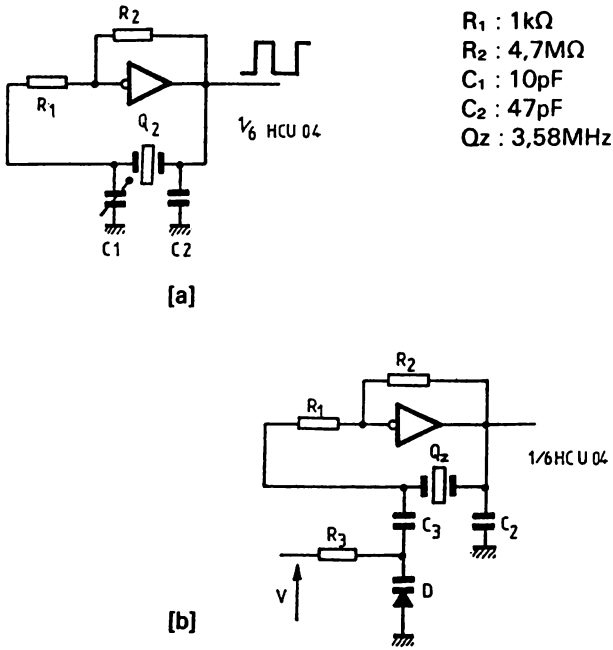


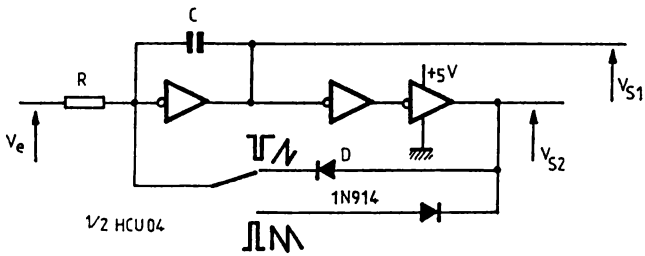
Fig. 12-11. — Oscillateurs à quartz.

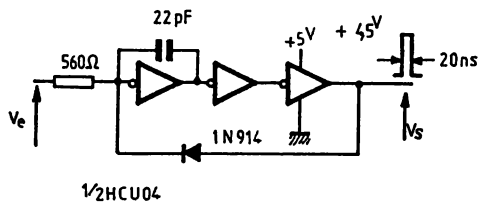
Pour réaliser un VCO, il suffit d'agir sur C_1. On remplace donc C_1 par une diode à capacité variable. R_3 en assurera la polarisation et C_3 isolera la tension continue. C_1 équivalent sera donc égal à la capacité équivalente de la mise en série de C_3 et de C_D. C_D, capacité de la diode D, variera selon sa polarisation, donc selon V qui sera donc le potentiel de commande du VCO.

12.12 — VCO's

Des VCO's qui ressemblent à celui de la fig. 3.26. L'intégrateur permet d'obtenir un signal triangulaire en V_{S1}. Quand $V_{S1} > V_{seuil}$, V_{S2} repasse aussitôt à "0", donc l'impulsion sera très courte et sa largeur dépend du temps de propagation des portes et de la rapidité de D, d'où une 1N 914. V_{S1} va croître à nouveau, linéairement et proportionnellement à Ve, pour former un signal en dents de scie croissantes. Si l'inverseur est sur l'autre position, on obtiendra un signal en dents de scie décroissantes. Pour R=10 kohm et C=3,3 nF, on a relevé une variation de fréquence de 15 KHz à 180 KHz pour ve de —2V à + 2V (position croissant) et Ve de 2,6V à 7V (position décroissant). On retrouve en V_{S2} un signal impulsionnel de même fréquence.

[a]





[b]

La variante [b] est une simplification du montage pour n'exploiter que la sortie impulsionnelle. Avec les valeurs mentionnées, on réalise un VCO haute-fréquence, avec lequel il est possible d'atteindre 25 MHz car la durée de l'impulsion est de l'ordre de 20 ns.

[c]

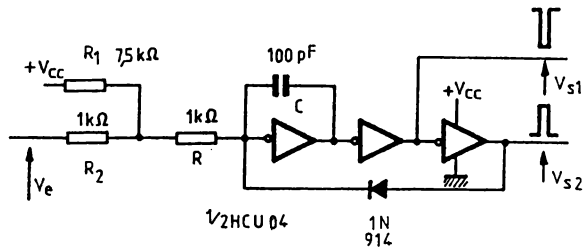


Fig. 12-12. — VCO's.

La variante [c] permet d'utiliser les deux sorties complémentaires, en rajoutant une compensation de dérive d'alimentation. En effet, pour des fréquences élevées, une variation de la tension d'alimentation modifie le délai de propagation des portes et donc directement la fréquence. On crée donc un sommateur à l'entrée du VCO pour rajouter une fraction de la tension d'alimentation. Ainsi si V_{CC} croît, le temps de propagation diminue et la fréquence augmente, mais en rajoutant une fraction de V_{CC} au signal d'entrée, on diminue la fréquence car la tension en entrée augmente alors ! Cette compensation ne peut s'appliquer avec la diode câblée dans l'autre sens, car elle aurait alors pour effet d'augmenter encore plus la variation en fréquence. R_1 devra être déterminé en relation avec R_2, R, C et Ve.

Pour continuer avec les QMOS...

Comme la TTL qui est oubliée au détriment de la TTL-LS, viendra un jour où la QMOS remplacera la TTL-LS et même la CMOS... C'est une évolution "logique" que l'on comprend aisément en effectuant une comparaison des caractéristiques des différentes technologies. D'ailleurs, il suffit de comparer les prix des TTL-LS, CMOS et QMOS... Alors, n'attendez plus !...

Soulignons que la nouvelle technologie ACT ou AC (compatible TTL ou MOS) tend à remplacer les circuits TTL F ou S.

De nombreuses autres applications sont possibles en tirant parti des nouvelles possibilités apportées par les QMOS. Mais déjà, il suffit de les appliquer aux montages décrits pour les CMOS, les caractéristiques n'en seront qu'améliorées...

Il est intéressant aussi de signaler la technologie LOCMOS, dont le seul fabricant est RTC (HEF4xxx), qui est l'équivalent MOS de ce qu'est la technologie TTL-L (ou LS) par rapport à la technologie TTL ! Les caractéristiques sont identiques, hormis une réduction des courants de repos et de polarisation.

CHAPITRE XIII

MINI-RÉALISATIONS

Un flot de petites idées éparses ont suggéré quelques applications parfois complexes, mais qui incitent à la réalisation concrète. Le reste de l'ouvrage étant tourné vers la théorie de conception...

13.1 — Contrôleur de batterie

A l'aide de trois Dels, on visualisera l'état de charge d'une batterie, ou plus simplement surveillera une tension V. La Del D_1 s'illumine si un état "0" est présent sur l'entrée de la porte 1, donc si :

$V \cdot (R_2+R_3)/(R_1+R_2+R_3) < V_{seuil}$ et la Del D_3 s'illumine si un état "1" est présent sur l'entrée de la porte 2, donc si :

$V \cdot R_3/(R_1+R_2+R_3) > V_{seuil}$.

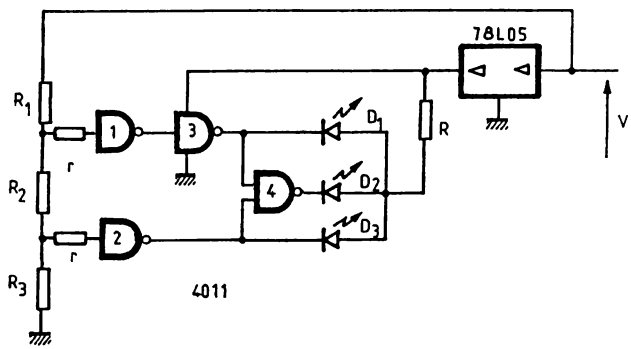


Fig. 13-1. — Contrôleur de batterie.

La Del D_2 s'illumine si les Del D_1 et D_3 sont éteintes, donc quand aucune des deux relations n'est vérifiée. On choisira donc une Del rouge pour D_1, une orange pour D_2 et une verte pour D_3. Pour contrôler une batterie de 12V, on utilisera R_1=39 kohm, R_2=3,3 kohm, R_3=10 kohm pour définir les deux seuils de 9,8V et 13V. La résistance de protection r sera de l'ordre de 100 kohm et R sera de l'ordre de 220 à 330 ohm pour une illumination correcte des Dels.

Pour définir d'autres-tensions de seuils, il suffit de choisir une valeur arbitraire pour R_3, par exemple 10 kohm, et calculer R_2 et R_3 grâce aux formules, déduites des relations précédentes :

$R_2=R_3 \cdot (V_{MAX}-V_{MIN})/V_{MIN}$ et

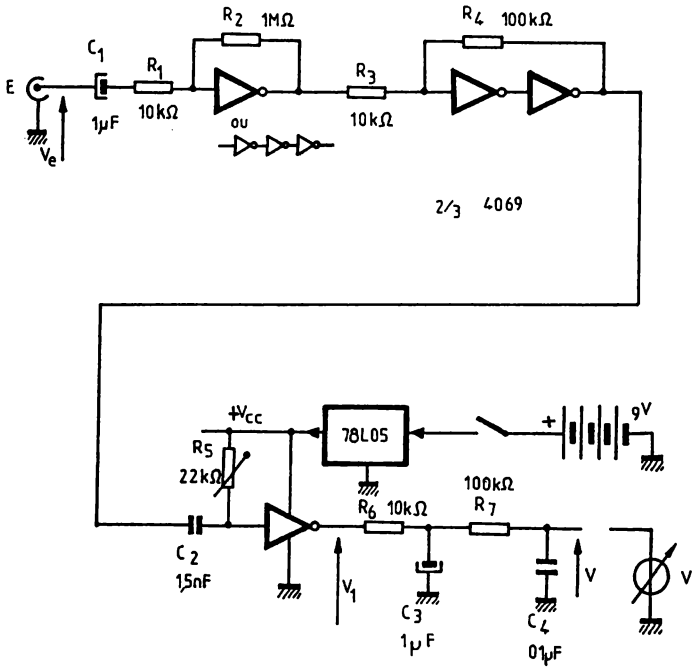
$R_1=R_3 \cdot V_{MAX} \cdot ((1/V_{seuil})-(1/V_{MIN}))$

avec les deux seuils d'éclairement des Dels, V_{MAX} et V_{MIN}.

13.2 — Mini-fréquencemètre

Réaliser un fréquencemètre avec un circuit CMOS peut tenir de la gageure ou du futile, mais un montage aussi simple est souvent utile. En réalisant un montage très compact, il est possible de le monter dans une sonde autonome pour multimètre. On utilisera alors une pile miniature 5,6V (photo) pour l'alimentation.

La première porte réalise avec C_1,R_1 et R_2 un amplificateur à grand gain, soit 100 en l'occurence. On évitera donc l'emploi de portes xxxxUB, à moins de remplacer cette porte par trois inverseurs en serie. Il est suivi d'un détecteur de seuil qui remet en forme les signaux pour obtenir un signal de sortie rectangulaire. L'hystérésis est de 0,5 V et les seuils de 2,25 V et 2,75 V si V_{seuil}=2,5V. Comme l'hystérésis est de 0,5V, l'amplitude minimum du signal d'entrée doit être supérieure à 5mV crête à crête. La quatrième porte réalise avec C_2 et R_5, un "monostable" très précaire. La durée de l'impulsion sera ajustée à 20 μs. Cette impulsion est filtrée par un double réseau intégrateur pour obtenir la valeur moyenne.



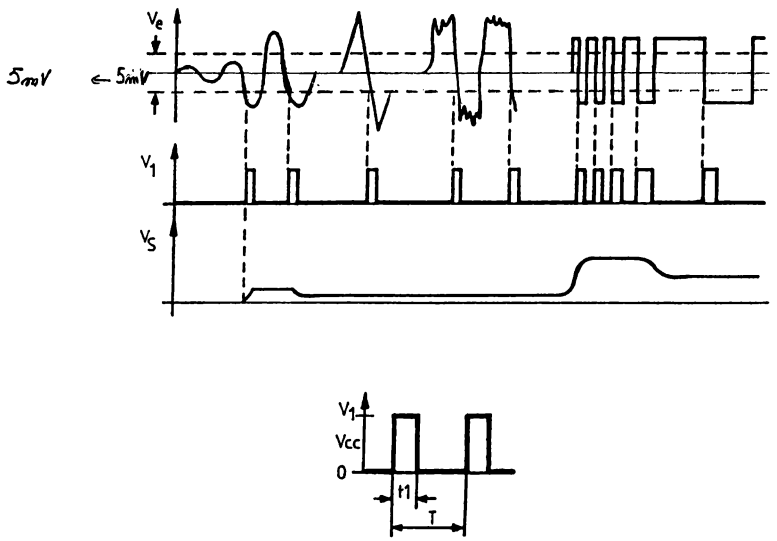


Fig. 13-2. — Mini-fréquencemètre.

La valeur moyenne sera proportionnelle à la fréquence, car comme le précise la figure, $V_{MOY}=V_{CC}\cdot t_1/T$, d'où la relation : $V=0,1\cdot f$ avec V exprimé en Volts et f en kHz. La fréquence maximum est limitée par la bande passante de l'étage amplificateur et déterminée par C_2 et R_5 et est ici de 30 KHz. Un régulateur intégré stabilise la tension d'alimentation pour conserver V indépendant de la source. Avec des composants de tolérance 5%, on obtient une précision de mesure de 5%. Le voltmètre devra être à aiguille pour réaliser une intégration supplémentaire et éviter de voir osciller les chiffres.

13.3 — Relais photo-sensible

On l'utilisera pour allumer automatiquement un lampadaire à la tombée de la nuit, ou comme détecteur optique de passage...

Le phototransistor T_1 est polarisé par R_1 et son courant de collecteur varie selon l'intensité lumineuse qui frappe sa puce. Un détecteur de seuil fixe le niveau lumineux de déclenchement, conjointement au réglage de R_1. Il sera possible de modifier l'hystérésis pour éviter les perturbations, dues par exemple aux ombres et nuages... Quand le phototransistor est suffisamment eclairé, on retrouve un etat "0" en sortie du detecteur de seuils. Cette sortie passe à "1" si l'obscurité arrive. R_4C_1 fixe une constante de temps pour effacer les déclenchements parasites ou déterminer une durée minimum d'allumage. Si la constante de temps est inutilisée, il suffit de ne pas câbler C_1, sinon sa valeur peut-être modifiée en évitant de dépasser 22μF.

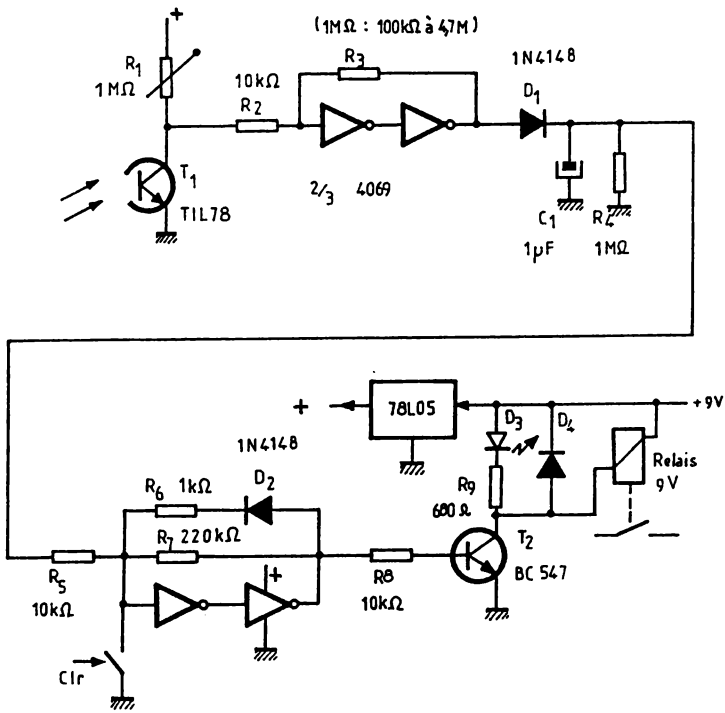
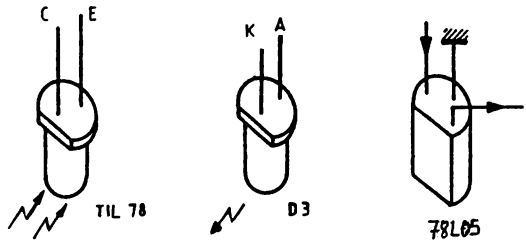


Fig. 13-3. — Relais Photo-sensible.



Le signal est mémorisé par une bascule "à détecteur de seuil". Cette pseudo bascule ne pourra être remise à "0" que si on actionne le poussoir Clr. Si on ne câble pas R_6 et D_2, on supprime la fonction mémoire. La sortie commandera un relais à travers un étage de commutation, T_2. D_4 le protège des surtensions inductives et D_3 permet d'obtenir une information visuelle de la détection. Avec un relais de faible consommation, il est possible d'alimenter ce montage avec une simple pile de 9V, un régulateur 78L05 se chargeant de la régulation de la tension d'alimentation qui est nécessaire pour garantir des seuils fixes et éviter des déclenchements intempestifs dus à des variations de la tension d'alimentation.

Il faudra veiller à placer T_1 à "l'ombre" du lampadaire si telle est l'application, sinon on effectuerait une régulation lumineuse en tout ou rien ! La figure précise le brochage de T_1, de D_3 et du régulateur faible puissance (I_{MAX}=100 mA).

13.4 — Amplificateur à sortie classe C

Le volume est réglé par R_1, en permettant une atténuation variable du signal d'entrée. La porte 1 réalise un amplificateur à grand gain (4500) et pourra être constitué la mise en série de trois portes selon le type de portes utilisées. La porte 2 constitue un réseau déphaseur de 180° pour attaquer les deux étages de puissance en opposition de phase. Ces deux étages sont identiques et découlent de la figure 11.1. R_7 et R_8 réalisent la contreréaction directement sur la sortie pour garantir le gain en tension et diminuer la distorsion de croisement due aux V_{be} des transistors.

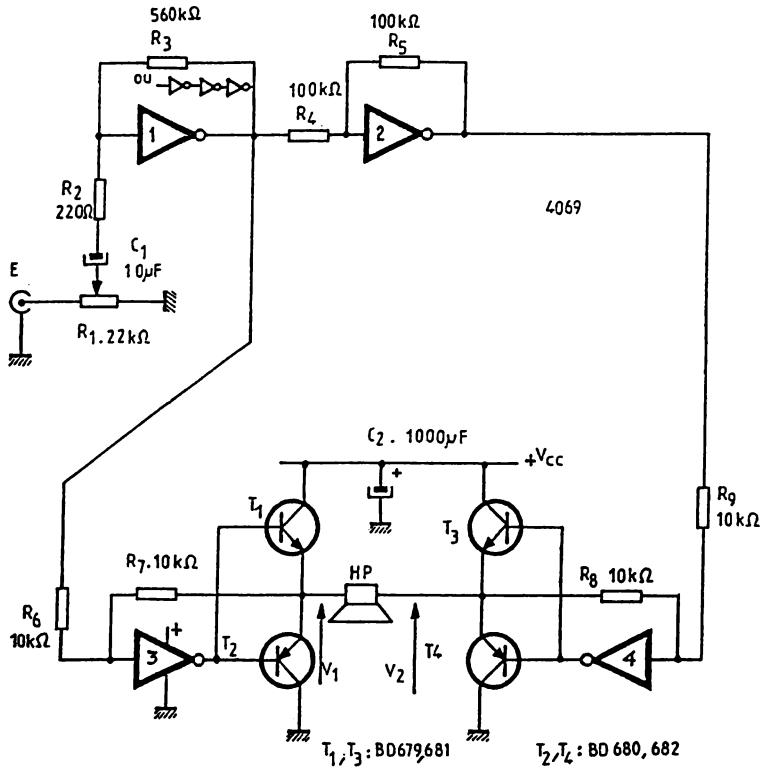
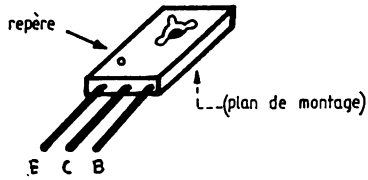


Fig. 13-4. — Amplificateur sortie classe C.



On retrouve donc en V_1 et V_2, un signal en opposition de phase, proportionnel à Ve, soit $V_1=+k\cdot Ve$ et $V_2=-k\cdot Ve$, ce qui permet de doubler la tension aux bornes du HP, de quadrupler sa puissance, d'éviter le condensateur de liaison (au repos $V_1=V_2$, donc $V_{HP}=0$) et caractérise la classe C. C_2 assure le découplage de l'alimentation et est câblé proche des transistors, qui sont de type Darlington (grand-gain).

Les caractéristiques sont modestes puisque la puissance est de l'ordre de $4W_{eff}$ à 14V, la distorsion est assez élevée, l'amplitude d'entrée à pleine puissance est de 2 mV minimum, et la bande passante limitée par le gain de la porte 1. Il sera intéressant de l'utiliser pour une sirène d'alarme car il est possible d'atteindre 25 $W_{cr\text{-}cr}$ en le commandant par un signal carré. Le brochage des transistors est rappellé ci-dessus. En conclusion donc, un petit amplificateur dont le principe est plus intéressant que ses caractéristiques.

13.5 — Commutateur vidéo

Un commutateur vidéo à quatre canaux qui intéressera tous les mordus de vidéo. Il est possible de sélectionner une source vidéo avec son stéréo parmi quatre. Comme le standard (1V/75ohms) est respecté, il est possible de connecter aussi bien un magnétoscope, qu'un décodeur, qu'une caméra, un vidéodisque, un ordinateur... Finis les échanges de prise péritel !

On isole les parties de traitement vidéo et audio. Les signaux vidéo, VID_1 à VID_4 sont choisis par un commutateur à portes analogiques MOS, en l'occurence un HC4052 (QMOS), car il permet une large bande passante (>10MHz !). Ce commutateur équivaut à un commutateur 4 positions/2 circuits dont la position est déterminée par le code binaire en A et B, à condition que le circuit ne soit pas inhibé par INH="1". Ce circuit commandera aussi l'illumination de la Del de visualisation de la voie choisie. Le réseau RC atténuateur rend la voie 1 prioritaire si le circuit est inhibé, et évite les parasites au moment de la commutation. Il peut ne pas être câblé. Le signal vidéo choisi est amplifié en tension, puis en puissance par des portes HCUO4. Les alimentations sont soigneusement découplées.

La commutation s'effectue de la même manière pour la partie audio, mais on réserve un circuit 4092 (version CMOS suffisante !) à la commutation d'un signal stéréo. A nouveau un réseau en T facultatif (filtre) et une amplification du signal de sortie, en courant et en tension le cas échéant. Ici aussi, un simple circuit CMOS 4069UB, bien découplé.

La sélection de la voie désirée se fera par une combinaison logique sur A, B et INH, réalisée par un commutateur ou une commande plus sophistiquée qui peut d'ailleurs être très éloignée de la partie commutation. Il faut noter les tensions de commande (+4,5V/—4,5V), dues à l'alimentation symétrique, qui autorise une liaison directe (sans condensateurs de sortie, ceux d'entrée étant nécessaire si les sources audio/vidéo superposent une tension continue au signal utile !).

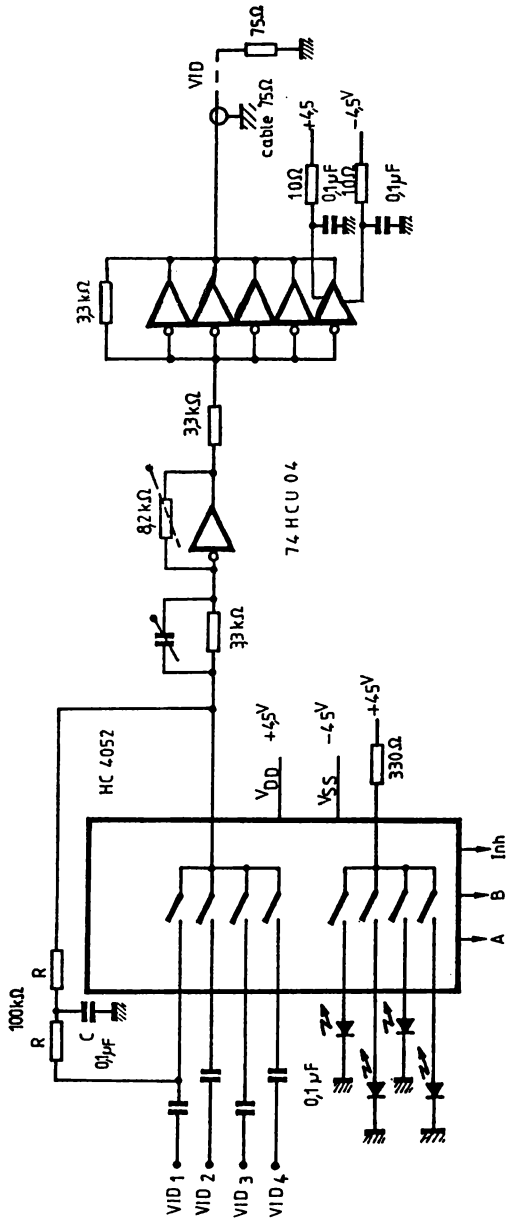


Fig. 13-5. — Commutation vidéo.

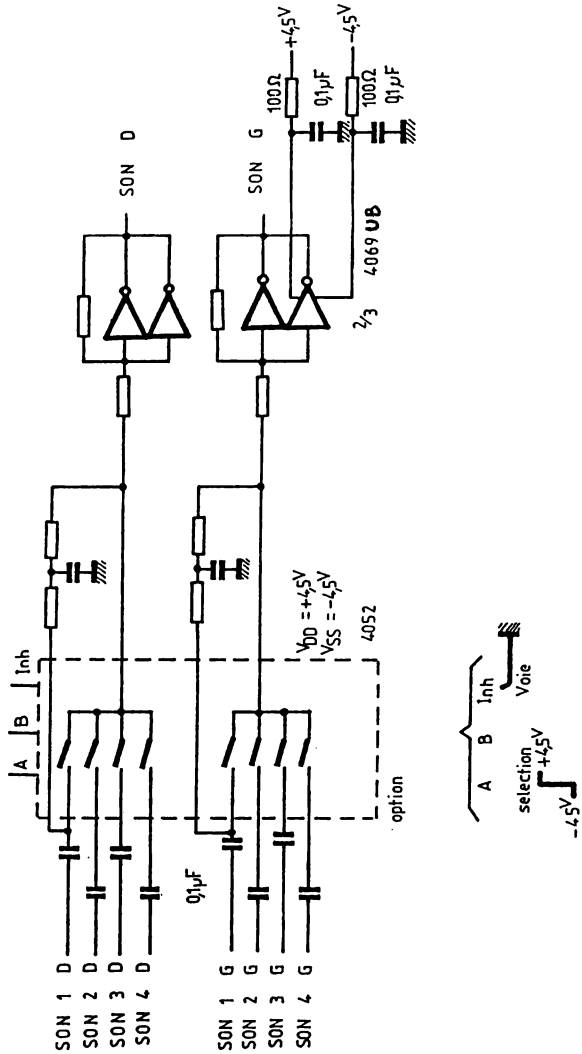


Fig. 13-5. — Commutateur vidéo : partie audio (suite).

13.6 — Générateur d'impulsions

Il met en œuvre deux 4047, et il sera utile de se reporter au chapitre V. Ce générateur d'impulsions permettra de générer des signaux rectangulaires de 0,2 Hz à 200 KHz, dont le rapport cyclique sera de 50% ou variable. Il peut être synchronisé ou commandé par un signal externe et dispose de deux sorties complémentaires.

IC_1, est monté en astable. Son fonctionnement est contrôlé par AST et $\overline{AST}$, selon la position de K_1. En position (a), il est inhibé en automatique ou déclenché par un état "0" externe. En position (b), il est validé en automatique ou déclenché par un état "1" externe. L'état externe est appliqué sur la prise $SYNC_{ext}$ qui permet donc une synchronisation ou commande depuis un signal externe. P_1 permet une variation linéaire de la fréquence et K_2, la sélection du calibre, soit pour C_{11}, f=0,2 à 2Hz environ jusqu'à 200KHz avec C_{15}. On retrouve en Q un signal de rapport cyclique de 50%.

IC_2 est monté en monostable et déclenché au front montant de $Q_{(1)}$. La durée de l'impulsion est réglée par P_2 et K_3. Il est possible de jumeler K_2 et K_3 pour obtenir un rapport cyclique variable dont le réglage est indépendant du calibre, mais K_2 et K_3 distincts autorisent plus de liberté (rapport cyclique $<0{,}01\%$!).

K_4 permet de sélectionner le signal à rapport cyclique de 50%, $Q_{(1)}$ ou le signal à rapport cyclique variable $Q_{(2)}$. Le 4041, quadruple buffer à sortie complémentaires permet par la mise en parallèle de ses sorties de fournir un courant de sortie conséquent et de disposer de sorties complémentaires. Une variante serait de disposer un 4041 à $Q_{(1)}$ et un autre 4041 à $Q_{(2)}$ pour disposer des signaux complémentaires, à rapport cyclique de 50% et variable... le montage sera alimenté sous 5V pour permettre la commande de circuits TTL, mais il fonctionnera dans la plage de 3 à 15 V, en conservant ses caractéristiques.

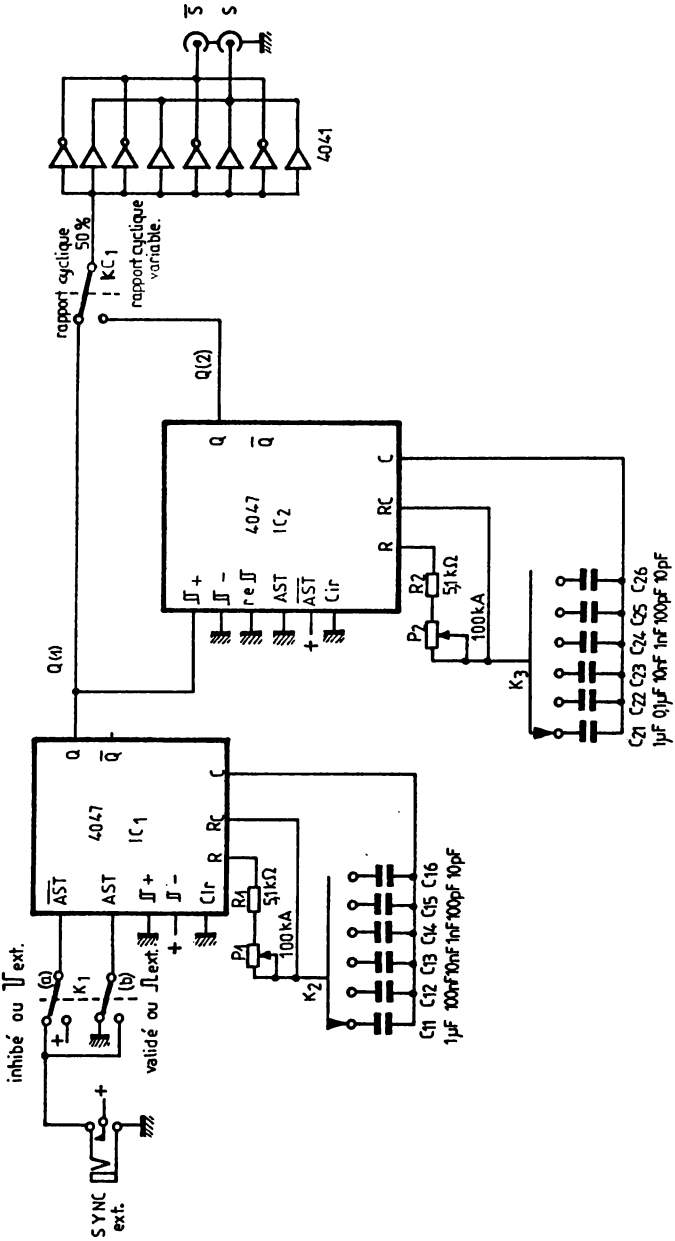


Fig. 13-6. — Générateur d'impulsions.

CHAPITRE XIV

ALIMENTATIONS, MANIPULATIONS ET MATÉRIEL

ALIMENTATIONS

Il reste un petit chapitre avant de conclure ce livre... Il semblera peut-être superflu et simplet de présenter des alimentations. Pourtant il convient de ne jamais négliger cet élément, car il décidera du respect des caractéristiques du montage.

14.1 — Alimentation +5V, −5V et +12V classique

Elle nécessite un transformateur à trois enroulements. Il est possible alors de disposer d'une alimentation de puissance car on a limité la chute de tension aux bornes des régulateurs (3,9V max pour les régulateurs de 5V et 5V pour le régulateur de 12V). On choisira donc le type de régulateur et le transformateur selon la puissance désirée. Comme cette alimentation s'applique aux circuits CMOS, un courant de sortie de 1A est largement suffisant. Ainsi on utilisera, par exemple, un régulateur 7805 pour le +5V, un 7905 pour −5V et un 7812 pour le +12V. La puissance du transformateur sera au moins de $(U_1+U_2+U_3)\cdot I$, soit dans notre cas de 25W pour garantir le courant de sortie maximum. La puissance dissipée par chaque régulateur ne devra pas dépasser les caractéristiques du constructeur, soit 2W sans radiateur et 15W avec radiateur . Si un transformateur à trois enroulements est difficilement disponible, il reste la solution de deux transformateurs ou d'utiliser deux enroulements de 12V qui alimenteraient les régulateurs de +5V, +12V, pour le premier enroulement et −5V pour le second. Mais dans ce cas la puissance dissipée par les régulateurs 5V serait beaucoup plus élevée et limiterait le courant du régulateur. Cela nécessite donc quelques calculs de votre part, suivant les régulateurs choisis et les

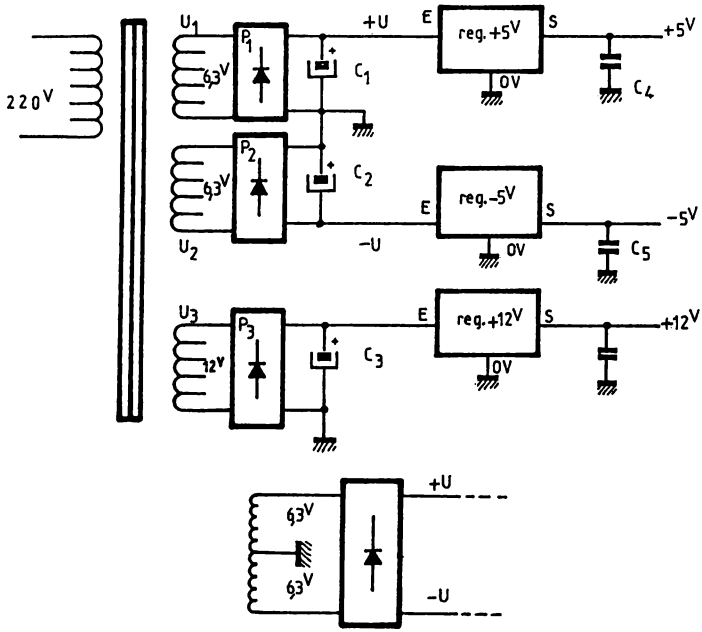


Fig. 14-1. — Alimentation +/— 5V et +12V.

puissances désirées. La variante à enroulement symétrique est présentée pour remplacer U_1 et U_2, qui permet d'utiliser un pont de diodes au lieu de deux. On devra disposer des condensateurs de filtrage en sortie des régulateurs, selon les conseils de la fiche technique de ces régulateurs, ainsi que de diodes de protection si nécessaire. Il est utile de disposer également de Del's témoins, pour signaler la présence des alimentations.

14.2 — Alimentation +5V, —5V et +12V

Voici une variante permettant d'utiliser un transformateur à deux enroulements. L'alimentation —5V est réalisée par IC_3 précédé d'un redressement mono-alternance par D_4 et C_3 sur le premier enroulement. Il en est de même pour le +5V par IC_1, D_3 et C_1. Pour alimenter le régulateur IC_2 de +12V, on superpose à U_1, la tension du second enroulement, redressée par D_1 et D_2 et filtrée par C_2. On obtient donc environ $U_2=2 \cdot U_1$, soit 21V à vide environ. Comme précédemment, on disposera des éléments de filtrage et de protection éventuels en sortie.

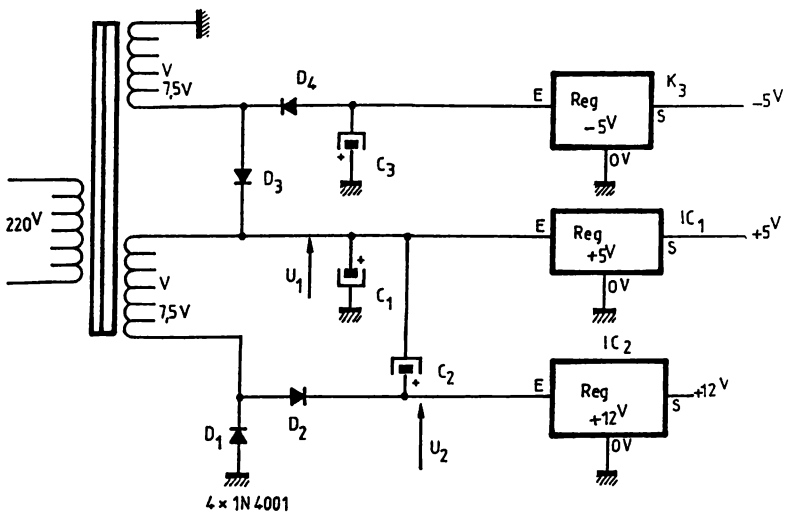


Fig. 14-2. — Alimentation triple à deux enroulements.

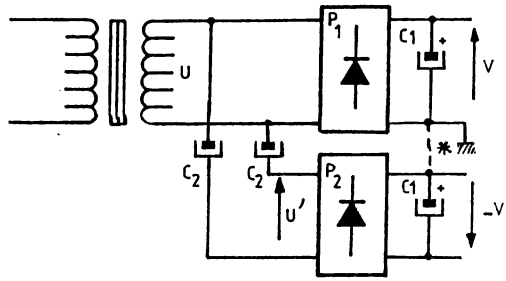
14.3 — Alimentation symétrique

Deux possibilitées pour disposer de deux tensions symétriques redressées et filtrées ont été présentées dans les deux figures précédentes, mais nécessitent des transformateurs à plusieurs enroulements. Les montages de cette figure permettent l'emploi de transformateurs à enroulement unique. On se limite uniquement au redressement et filtrage.

La variante [a] permet de disposer de deux alimentations isolées l'une de l'autre, ou symétriques en reliant la liaison *. La tension positive +V est obtenue par un redressement double-alternance classique par P_1. Il en est de même pour —V, si ce n'est la création d'une tension alternative "flottante" U' par l'isolement effectué par les condensateurs C_2. Leur capacité déterminera leur impédance à 50Hz et donc limitera le courant consommé sur U'. Les condensateurs C_1 assurent le filtrage des tensions redressées V, soit $V=1,4 \cdot U$. On réservera donc ce montage aux cas ou une puissance faible est demandée sur la branche symétrique —V ou si une seconde alimentation "flottante" (isolée de l'autre) est nécessaire !

La variante [b] est très simple puisqu'elle met en œuvre deux redressements monoalternance. D_1 conduit pendant une alternance et charge C_1 et D_2 charge C_2 pendant l'autre alternance. L'ondulation sur les tensions redressées est au moins double par rapport au redressement double-alternance, ce qui limite ce montage à une faible puissance consommée.

[a]



[b]

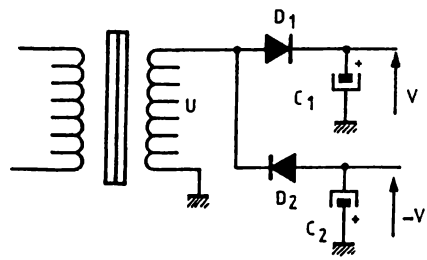


Fig. 14-3. — Alimentations symétriques.

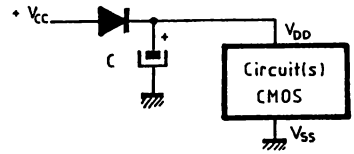
14.4 — Sauvegardes

L'avantage des circuits CMOS est leur très faible consommation statique. Il est alors très intéressant de les utiliser pour mémoriser un état lors d'une coupure d'alimentation (extinction de l'appareil ou coupure secteur), en particulier pour mémoriser des données dans une mémoire. Dans chacun des trois cas, la tension d'alimentation du circuit sera légèrement inférieure à V_{CC} (à cause des diodes), mais ne présentera pas de microcoupures !

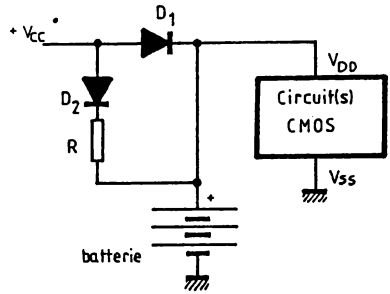
Le plus simple, en [a], est de disposer en parallèle au circuit CMOS, un condensateur réservoir C qui sera chargé en permanence en présence de V_{CC} (D conduisant, à $V_{CC} - V_D$). Si V_{CC} disparait, D sera bloquée par la charge de C, qui alimentera le circuit CMOS. La capacité de C devra être élevée et à faible courant de fuite pour permettre la constante de temps désirée (environ $C=I \cdot T/u$ avec I, courant consommé T, temps et u, chute de tension). Il a été récemment introduit des condensateurs économiques, réservés exclusivement à cet emploi, avec des capacités de plus d'un Farad ($10^6 \mu F$) .

Quand la consommation des circuits MOS devient importante ou quand la constante de temps doit être très longue, il convient d'utiliser une batterie de sauvegarde, comme en [b]. Elle sera chargée par V_{CC} à travers D_2 et en limitant son courant de charge par R, lorsque V_{CC} est présent. D_1 fixe sa tension en charge à $V_{cc} - V_{D1}$. V_{D2} sera inférieur à V_{D1} pour garantir un courant de charge de la batterie, d'où le choix d'une diode D_2 en germanium. Si V_{cc} disparait, D_1 et D_2 sont bloquées et la batterie continue d'alimenter le circuit. Une variante serait de remplacer D_2 par un transistor saturé lorsque V_{cc} est présent.

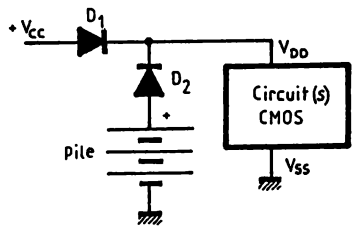
La variante [c] s'applique au remplacement de la batterie ou du condensateur-réservoir par une pile, classique ou de longue durée. Montage très simple, économique et autorisant des constantes de temps élevées (attention au type de pile !). En présence de V_{CC}, D_1 conduit et alimente le circuit MOS. Si V_{cc} disparaît D_1 se bloque, mais D_2 conduit dès que $V_{cc} - V_{D1}$ est inférieur à $V_{pile} - V_{D2}$. La tension de la pile de sauvegarde devra être dans tous les cas inférieure à V_{cc} pour éviter le blocage de D_1, V_{cc} étant présent . La plupart des circuits CMOS autorisent le fonctionnement en dessous de 3V et les mémoires garantissent une mémorisation des données jusqu'à 2V pour les modèles CMOS.



[a]



[b]



[c]

Fig. 14-4. — Sauvegardes.

14.5 — Régulation à diode zener

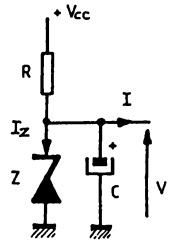
Simple, parfois oubliée au détriment du régulateur intégré, il est parfois nécessaire d'utiliser une régulation zener quand la tension d'alimentation de base est élevée (> 18V). Comme la consommation des circuits CMOS est très faible, une régulation-parallèle est très efficace (à condition que la charge du circuit soit en rapport).

En [a], alimentation unique, R limite le courant de polarisation de la zener Iz. Ce courant de polarisation sera au minium de 5mA pour une polarisation correcte de la zener et supérieur (facteur de 10 environ) au courant I consommé pour garantir la régulation. La tension V sera filtrée par C pour atténuer les ondulations résiduelles dues à V_{cc} et à la résistance dynamique de la zener. Le calcul de R est simple et la zener sera choisie selon la tension V désirée.

Dans le cas d'une alimentation symétrique du circuit, [b], il suffit de répartir la résistance de polarisation sur les deux branches V_{DD} et V_{SS}. Les valeurs seront identiques pour conserver la symétrie d'alimentation par rapport à la masse (V_{DD}=—V_{SS}) ou de valeurs différentes pour des polarisations différentes de V_{DD} et V_{SS}.

En [c], on réalise une zener par un montage équivalent à transistor. En effet, $Vz=V_{be}\cdot(R_1+R_2)/R_2$! L'avantage est la possibilité d'ajuster Vz en réglant R_1 ou R_2, d'obtenir des tensions de zener particulières (de 0,7V min. à plus de 100V — selon le Vce du transistor choisi —), de réaliser des "zeners de puissance", à condition de choisir un transistor à β élevé...

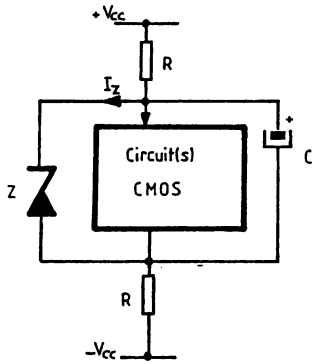
[a]



$$R = \frac{V_{cc} - V_z}{I_z + I}$$

[a]

[b]



$$R = \frac{2 \cdot V_{cc} - V_z}{2\,(I_z + I)}$$

[c]

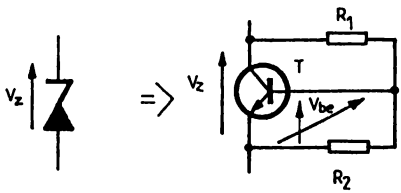


Fig. 14-5. — Régulation à zener.

MANIPULATIONS

Il nous a semblé intéressant de présenter trois manipulations à effectuer sur les circuits CMOS pour mettre en évidence quelques caractéristiques.

14.6 — Consommation d'une porte CMOS

En introduisant une résistance en série avec l'alimentation du circuit, il est possible de mesurer le courant consommé. Comme le courant n'existe à vide qu'au moment de la commutation, on utilise un oscilloscope pour le visualiser. Un générateur BF permettra de faire basculer la porte et synchronisera l'oscilloscope pour visualiser les pics de courant. Un voltmètre permettra de lire la valeur moyenne du courant, par sa capacité d'intégration. On verra que cette valeur moyenne augmentera en fonction de la fréquence, mais que les pics de courant restent constants.

A noter que la valeur de R limitera la consommation de la porte, et le produit $R \cdot I_{CC}$ ne sera pas significatif pour une valeur élevée. Il faudra donc choisir $R \leqslant 39\ \Omega$.

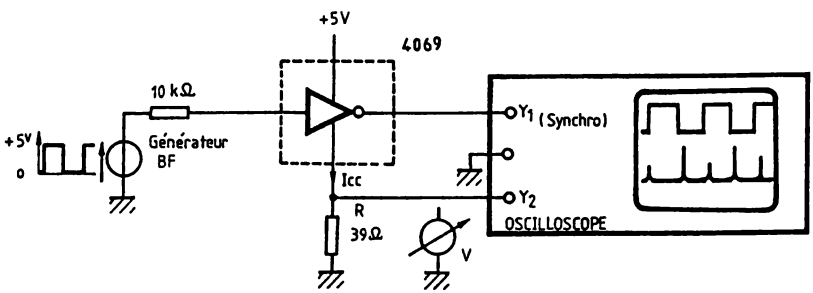


Fig. 14-6. — Mise en évidence de la consommation d'une porte CMOS.

14.7 — Caractéristique d'une porte 'trigger'

Pour visualiser la propriété d'un montage 'trigger' et permettre un réglage très aisé des tensions de seuil, on commande le montage par un signal triangulaire. On visualise la tension de sortie en fonction de celle d'entrée à l'aide d'un oscilloscope en mode XY, ce qui nous donnera le tracé dynamique de la fonction, donc la caractéristique de transfert d'un détecteur de seuil, mettant en évidence l'hystérésis. Il est possible de visualiser également la caractéristique de transfert d'une porte simple et mettre en évidence son seuil de basculement. En faisant varier la fréquence du générateur BF, on visualisera la dégradation de la caractéristique aux hautes fréquences.

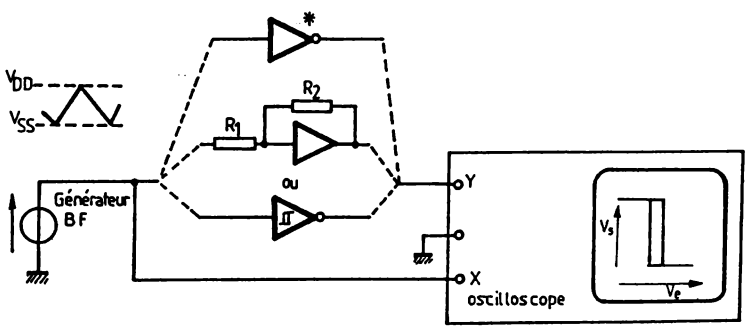


Fig. 14-7. — Tracé automatique de la caractéristique d'un montage 'trigger'.

14.8 — Mise en œuvre d'un compteur

Il est intéressant de vérifier le fonctionnement d'un compteur, si ce n'est pour s'assurer du choix correct des états des entrées de contrôle, ou détecter une panne... Le compteur sera commandé par un générateur BF ou par une commande impulsionnelle (cf. fig. 9.3). On visualisera le code de sortie sur un afficheur et parallèlement sur des Dels, le code BINaire, A noter que le décodeur utilisé ne permet pas l'affichage des codes supérieurs à 9. Les résistances de 10 kohms protègent les entrées, dans le cas où la tension d'alimentation du compteur dépasse 5V. Il est possible de mémoriser l'information de sortie du compteur en agissant sur "LE" (au front montant de LE, le code ABCD est mémorisé, et ce tant que LE="1").

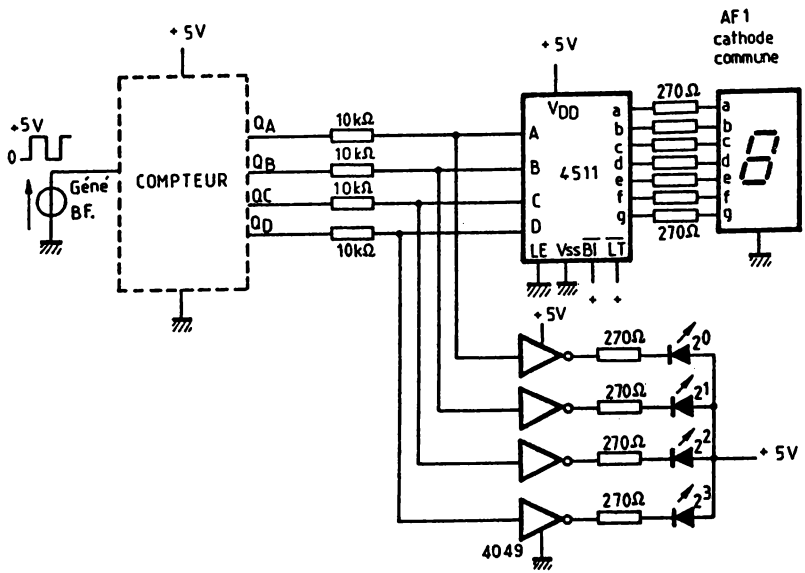


Fig. 14-8. — Mise en œuvre d'un compteur.

14.9 — Mini-analyseur logique

Quand le montage devient plus complexe, il devient intéressant de visualiser l'état des sorties à des instants précis et de les mémoriser si l'évolution est rapide. On utilise alors un analyseur logique, mais un tel appareil coûte cher ! Une autre solution consiste à visualiser les signaux sur l'oscilloscope, à condition de disposer d'un nombre de voies suffisant. Ce montage permet de visualiser 8 voies logiques sur un oscilloscope monocourbe.

La visualisation de 8 voies est possible en commutant très rapidement d'une voie à l'autre, et en superposant à la voie considérée, une tension continue de décalage, qui permettra de la distinguer des autres voies. La commutation s'effectue à l'aide du 4051 (ou HC4051), démultiplexeur analogique CMOS, associé à un compteur 4510 (ou HC4510). Ce compteur sélectionne, à la cadence de l'astable à Aop, l'entrée (E_1 à E_3). Il est possible de forcer une voie en fermant k_1 et en la choisissant par le codage formé par k_A, k_B et k_C. Le signal correspondant à la voie choisie est atténué (5V → 0,32V) et additionné à la sortie d'un convertisseur D/A à Aop. Il fournira une tension continue proportionnelle à la voie choisie, soit ($N°_{VOIE}$ — 1)·0,4V environ, qui correspond à la tension de décalage entre les voies. On trouvera donc en sortie du sommateur, un signal en marche d'escaliers. Le dernier Aop de sortie permet d'ajuster le niveau pour une visualisation plein écran (au repos, 8 lignes écartées d'une division, soit 0,5V). Comme l'alimentation du 4051 est de +/ — 5V, il est possible de visualiser des signaux d'entrée de — 5V à +5V (les voies se chevauchent alors !), bien que le montage soit conçu pour des signaux en logique positive.

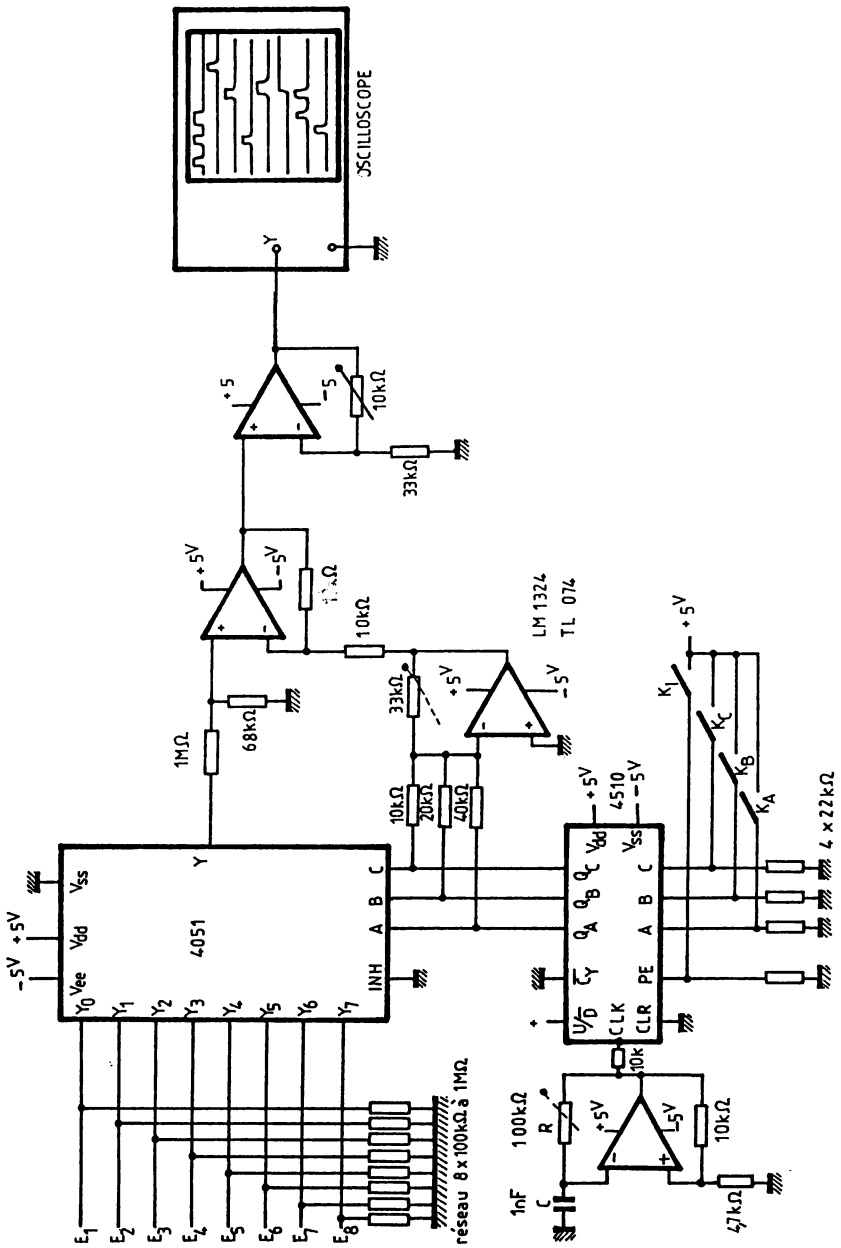


Fig. 14-9. — Mini-analyseur logique.

MATERIEL

Le matériel dont il convient de disposer pour mettre en œuvre les différents montages de cet ouvrage se résume à une plaquette de connection sans contact (μDEC...), une alimentation, un multimètre et un oscilloscope.

On rassemble, dans le tableau ci-dessous, la liste des circuits CMOS nécessaire. Ce sont d'ailleurs les circuits les plus couramment utilisés, aussi ils seront réutilisables et il ne faudra pas hésiter à en acheter plusieurs (repérés par [*]).

4001[*]	4011[*]	4030	4049	4050	4069[*]	4077
4093[*]	40106 ou	74C14[*]				
4007	4051	4066[*]	4008			
4046	4047	4098				
4013[*]	4027	4015	4515			
4017[*]	4029	4019	4510	4516	4518	4520
4511[*]	40107	74C922				
HC00	HCU04	HC132	HC4052	HC4066[*]		
LM324[*]	LF356	TL074	555			
7805	7905	7812	78L05[*]			
TIL78	BD679[*]	BD680[*]	BS250[*]	VN46		
BC547[*]	BC547C[*]	2N2222A	2N1613			
BC557[*]	BC557C[*]	2N2907A	2N2905			

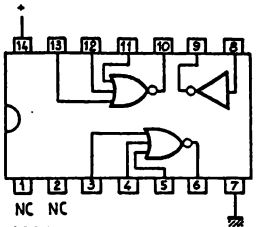
.....

Il est intéressant de préciser les brochages des circuits les plus couramments utilisés, mais il ne faudra pas hésiter à vous reporter à la notice constructeur qui présentera toutes les caractéristiques du circuit et son mode opératoire...

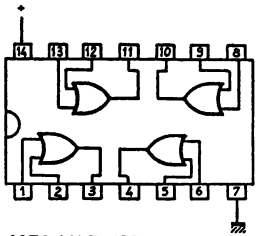
CONCLUSION...

Est-il vraiment possible de conclure ?...

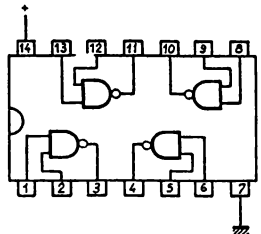
Tant que de vaillants chercheurs découvriront de nouvelles technologies, et que d'autres auront la tête un peu dans les nuages, les applications ne se borneront pas à cet ouvrage...



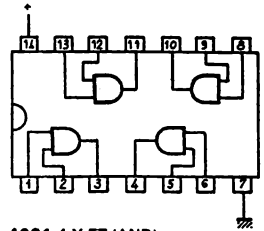
4000 (2 x NON-OU) + NON



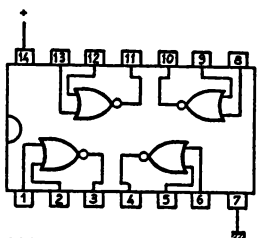
4071 4 X OU (OR)



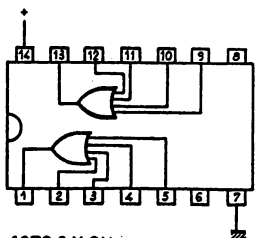
4011 4 X NON-ET (NAND)



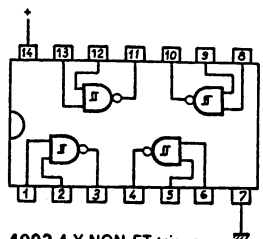
4081 4 X ET (AND)



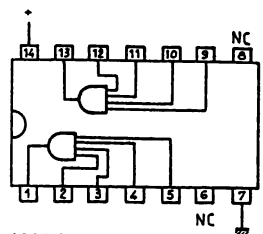
4001 4 X NON-OU (NOR)



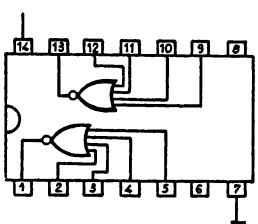
4072 2 X OU



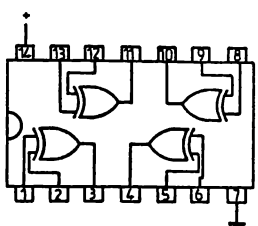
4093 4 X NON-ET trigger



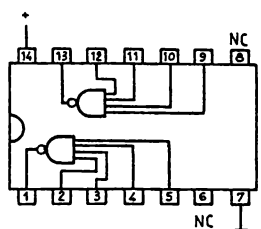
4082 2 X ET



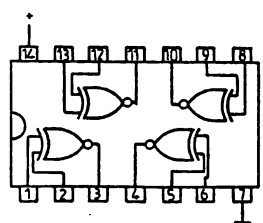
4002 2 X NON-OU



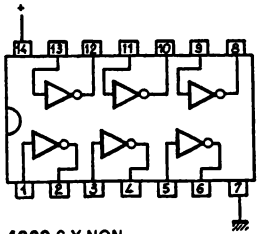
4030,4070 4 X OU exclusif



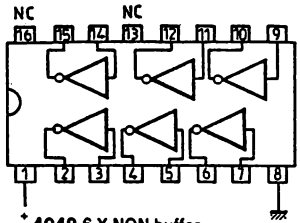
4012 2 X NON-ET



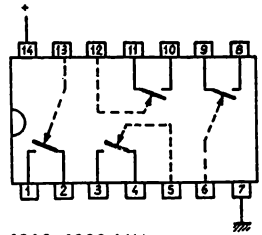
4077 4 X NON-OU exclusif



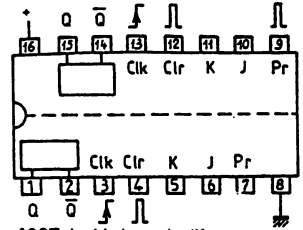
4069 6 X NON



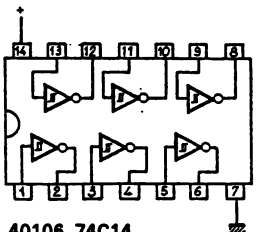
4049 6 X NON buffer



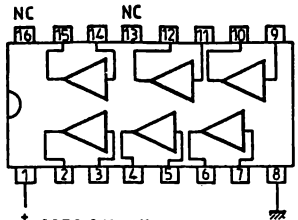
4016, 4066 4 X inter



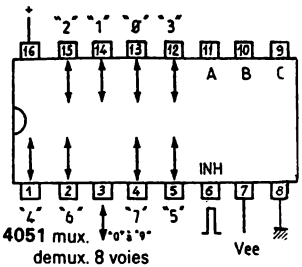
4027 double bascule JK



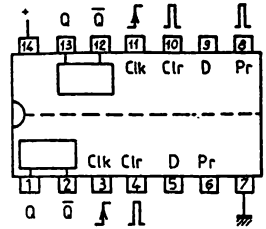
40106, 74C14
6 X trigger Schmitt



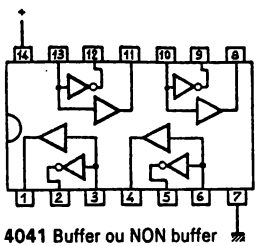
4050 6 X buffer



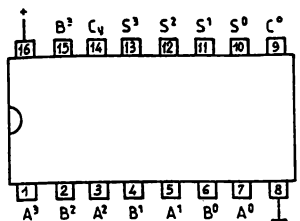
4051 mux.
demux. 8 voies



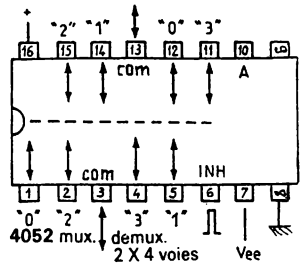
4013 double bascule D



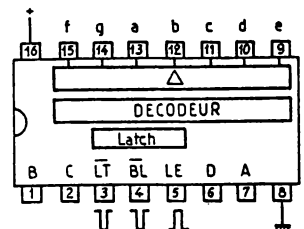
4041 Buffer ou NON buffer



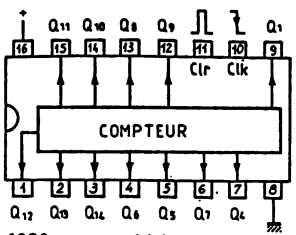
4008 additionneur 4 bits



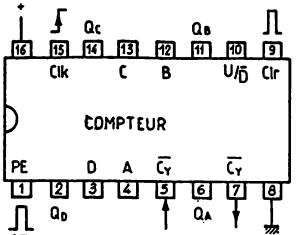
4052 mux.
demux.
2 X 4 voies



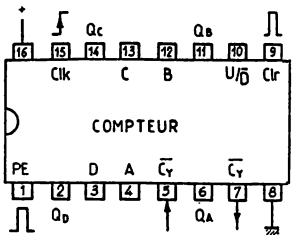
4511 décodeur 7 segments
avec latch (cathode commune)



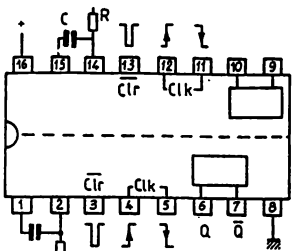
4020 compteur 14 étages



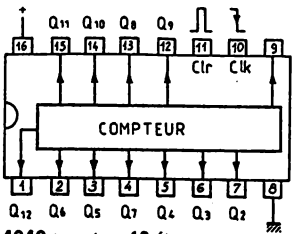
4516 compteur BIN



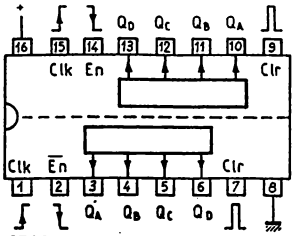
4510 compteur B C D



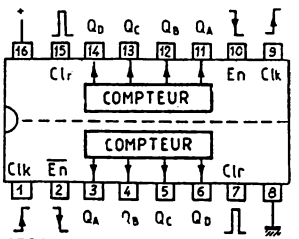
4538 double bascule monostable



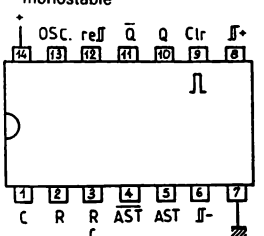
4040 compteur 12 étages



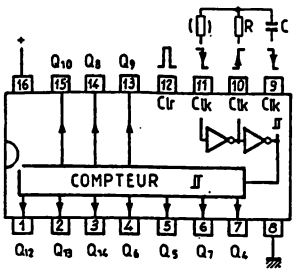
4518 double compteur BCD



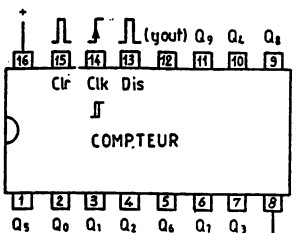
4520 Double compteur BIN



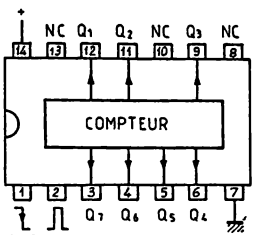
4047 Astable monostable



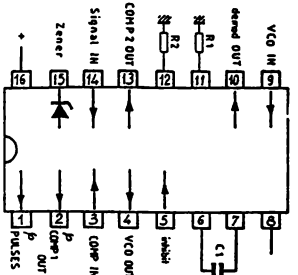
4060 compteur 14 étages



4017 compteur décimal sorties décodées



4024 compteur 7 étages



4046 PLL

INDEX NUMERIQUE DES CIRCUITS CMOS (et QMOS)

Sauf mention particulière, la référence du circuit est disponible en version xxxxB ou xxxxUB. A ce propos, certains constructeurs différencient les deux types, en portant une indication (B) uniquement sur la porte à buffer (xxxxB). En cas de doute, il conviendra de vérifier sur la fiche technique du circuit. L'appelation varie également selon le constructeur. Ainsi un CD4069UB chez GE-RCA, se nommera CD4069C chez NS, HEF4069UB chez RTC, TC4069 chez NEC. Un CD74HCOO chez GE-RCA se nommera SN74HC chez TI,... Nous n'avons pas voulu parler des versions militaires, car elles sont de toute façon indisponibles chez le détaillant...

Référence	Fonction
4000	2 NON-OU 3 entrées + NON
4001	4 NON-OU 2 entrées
4002	2 NON-OU 4 entrées
4006	Registre à décalage 18 étages
4007UB	6 Transistors MOS précâblés
4008B	Additionneur 4 bits (Cy rapide)
4009UB	6 Buffer-Inverseur d'interface
4010B	6 Buffer d'interface
4011	4 NON-ET 2 entrées
4012	2 NON-ET 4 entrées
4013B	2 Bascules D avec Reset/Set
4014B	Registre à décalage 8bits S :série E :série,//
4015B	2 Registres décalage 4bits E :série S://
4016B	4 Interrupteurs analogiques bidirectionnels
4017B	Compteur BCD, sorties décodées (diviseur par n)
4018B	Diviseur par n prépositionnable
4019B	4 Portes de sélection ET-OU
4020B	Compteur binaire asynchrone 14bits
4021B	Registre à décalage 8bits S:série E:série,//
4022B	Compteur modulo 8, sorties décodées (div. n)
4023	3 NON-ET 3 entrées
4024B	Compteur binaire asynchrone 7 bits
4025	3 NON-OU 3 entrées
4026B	Compteur BCD, sorties décodées 7 segments
4027B	2 Bascules JK avec Reset/Set
4028B	Décodeur BCD → décimal
4029B	Compteur U/D BIN/BCD prépositionnable
4030B	4 OU-EXCLUSIF 2 entrées
4031B	Registre décalage 64 étages
4032B	3 Additionneurs série, logique positive

4033B	Compteur BCD + décodage 7 segments + tampon + Blanking
4034B	Registre de bus 8bits bidirectionnel·E, S :série,//
4035B	Registre décalage 4bits à JK E:// S://
4038B	3 Additionneurs série, logique positive
4040B	Compteur binaire asynchrone 12bits
4041UB	4 Buffer et Buffer-inverseur
4042B	4 Bascules D même horloge
4043B	4 Bascules RS à NON-OU 3états
4044B	4 Bascules RS à NON-ET 3états
4045B	Compteurs 21bits
4046B	PLL
4047B	Multivibrateur astable/monostable de précision
4048B	Porte 8 entrées multifonctions extensible
4049UB	6 Buffer-inverseurs tampon d'interface
4050B	6 Buffer tampon d'interface
4051B	Mux/Demux 8 voies analogiques
4052B	Mux/Demux 2x4 voies analogiques
4053B	3 Mux/Demux 2 voies analogiques
4054B	Interface LCD 4 segments
4055B	Décodeur BCD → 7 segments Interface LCD
4056B	Décodeur BCD → 7 segments LCD + mémoire
4060B	Compteur asynchrone 14 bits + oscillateur
4063B	Comparateur "<,=,>" 4 bits
4066B	4 Interrupteurs analogiques bidirectionnels
4067B	Mux/Demux 16 voies
4068B	ET/NON/ET 2 entrées
4069UB	6 Inverseurs
4070B	4 OU-EXCLUSIF 2 entrées
4071B	4 OU 2 entrées
4072B	2 OU 4 entrées
4073B	3 ET 3 entrées
4075B	3 OU 3 entrées
4076B	Registre 4 bits à bascule D
4077B	4 IDENTITÉ 2 entrées
4078B	OU/NON-OU 2 entrées
4081B	4 ET 8 entrées
4082B	2 ET 4 entrées
4085B	2 ET-OU 2x2 entrées avec contrôle
4086B	ET-OU 4x2 entrées extensible avec contrôle
4089B	Multiplicateur de transfert binaire
4093B	4 NON-ET 2 entrées 'trigger'
4094B	Registre de BUS 8bits 'shift & store'
4095B	Bascule JK (3J, 3K) + Set/Reset
4096B	Bascule JK (21, $\overline{J}$, 2K, $\overline{K}$) + Set/Reset
4097B	Mux/Demux 2x8 voies

4098B 2 Monostables
4099B Mémoire adressable 8bits ('latch')
40100B Registre décalage bidirectionnel 32bits
40101B Contrôleur et générateur de parité 9bits
40102B Décompteur synchrone 2xBCD prépositionnable
40103B Décompteur synchrone 8bits prépositionnable
40104B Registre décalage 4bits bidirectionnel universel
40105B FIFO 16x4bits
40104B 6 Inverseurs 'trigger'
40107B 2 Tampons NON-ET 2 entrées
40108B Registre multiport 4x4
40109B 4 Interfaces remise à niveau
40110B Compteur/décompteur BCD + mémoire + décodeur + tampon
40115 Interface bidirectionnel CMOS/TTL 8bits
40116 Interface bidirectionnel CMOS/TTL 8bits
40117B Terminateur de bus (Rpolarisation ou 'verrous')

40147B, 40160B, 40161B, 40162B, 40163B, 40174B, 40175B, 40181B
40182B, 40192B, 40193b, 40194B, 40257P
identiques à la version TTL, mais en CMOS

4002B 6 Buffer-inverseur contrôlé 3états
4503B 6 Buffer 3états
4508B 2 Mémoires 4bits ('latch')
4510B Compteur/décompteur BCD prépositionnable
4511B Décodeur BCD → 7 segments + tampons
4512B Sélecteur de données 8 voies
4514B Décodeur 4 → 16 avec mémoire, S="1"
4516B Décodeur 4 → 16 avec mémoire, S="0"
4517B 2 Registres décalage 64bits
4518B 2 Compteurs BCD
4520B 2 Compteurs BIN 4bits
4527B Multiplicateur de transfert BCD
4532B Encodeur de priorité 8bits
4536B Temporisateur programmable
4538B 2 Monostables de précision
4541B Temporisateur programmable
4543B Décodeur BCD → 7segments LCD + tampon + mémoire
4555B 2 Décodeur 1 → 4, S="1"
4556B 2 Décodeur 1 → 4, S="0"
4585B Comparateur "<,=,>" 4 bits

74C 00,02,04,08,10,14,20,32,42,48,73,74,76,83,85,86,89,90,93,95,
74C 107,150,151,154,157,160,161,162,163,164,165,173,174,175,192
74C 193,195,200,221,240,244,373,374
identiques à la référence TTL, mais en version CMOS

74HCU 04
74HC,HCT 00,02,03,04,08,10,11,14,20,21,30,32,42,73,74,75,85,86,93,
74HC,HCT 107,109,112,123,125,126,132,137,138,139,147,151,153,
74HC,HCT 154,157, 158,160,161,162,163,164,165,166,173,174,175,
74HC,HCT 181,182,190,191,192,193,194,195,221,237,238,241,242,
74HC,HCT 243,244,245,251,253,257,258,259,280,283,297,299,356,
74HC,HCT 365,266,367,268,373,374,377,390,393,423,533,534,541,
74HC,HCT 563,564,573,574,583,597,640,643,646,648,670,688
identiques à la référence TTL, mais en version QMOS

74HC,HCT 4002,4015,4016,4017,4020,4024,4046,4051,4052,4053,
74HC,HCT 4059,4510,4511,4514,4516,4518,4520,4538,4543
74HC 4049,4050
identiques à la référence CMOS, mais en version QMOS

74C901	6 Buffer-inverseur interface CMOS → TTL
74C902	6 Buffer interface CMOS → TTL
74C903	6 Buffer-inverseur interface PMOS → TTL ou CMOS
74C904	6 Buffer interface PMOS->TTL ou CMOS
74C905	Registre à approximations successives 12bits
74C906	6 Buffer Drain ouvert (canal P)
74C907	6 Buffer Drain ouvert (canal N)
74C908	2 Tampons CMOS 30V 250mA
74C909	4 comparateurs
74C910	RAM 64x4bits 3états
74C911	Contrôleur Del's 4 digits
74C912	Contrôleur Del's 6 digits
74C914	6 Inverseurs Trigger à tension d'entrée étendue
74C915	Codeur 7 segments → BCD
74C917	Tampon-contrôleur Del's 6 digits hexa
74C918	2 Tampons CMOS 30V 250mA
74C920	RAM CMOS 256x4bits
74C921	RAM CMOS 256x4bits
74C922	Encodeur de clavier 4x4touches
74C923	Encodeur de clavier 5x4touches
74C925	Compteur 4 digits multiplexé 7segments + tampon (9999)
74C926	Compteur 4 digits multiplexé 7segments + tampon (9999) + Cy
74C927	Compteur 4 digits multiplexé 7segments + tampon (9.59.9)
74C928	Compteur 4 digits multiplexé 7segments + tampon (1999)
74C929	RAM CMOS 1Kb
74C930	RAM CMOS 1Kb
74C932	Comparateur de phase
74C933	Comparateur d'adresse de BUS
74C941	8 Tampons de BUS ou de ligne 3états
74C945	Compteur/mémoire/tampon 5digits LCD (19999)
74C946	Compteur-décompteur/mémoire/tampon 4digits
74C947	Compteur-décompteur/mémoire/tampon 4digits
74C956	Controlleur/tampon afficheur alphanumérique 4digits
74C989	RAM 3 état 16x4bits

INDEX ALPHABETIQUE DES FIGURES

Alimentation ..... 14.1 à 14.5
Amplification ..... 11.1 à 11.9,12.4,12.5,13.4,13.5
Ampli-opérationnel Aop..... 3.28,5.24,5.26,5.27,11.3,11.4, 11.5,11.6,11.7,11.12,11.13, 11.14
Applications ..... 5.15,6.5,12.9,13.1 à 13.6,14.8, 14.9
Arithmétique ..... 1.1 à 1.3,8.1 à 8.3
Astables ..... 3.1 à 3.29,5.2,10.12,11.11,12.6 12.8
Astables à quartz 3.27,11.10,12.11
Bascules D 3.18,3.23,4.20,5.9,5.10.7.3 7.4,7.8,7.9,7.10,7.13,7.15
Bascules (RS,JK...) 3.20,3.22,7.1,7.2,7.6,7.7,7.8 9.8,9.9,13.3
Caractéristiques 2.1,2.2,6.4,7.5,7.1,8.4,10.1 12.1,12.3
Circuits particuliers :
4007 ..... 3.29,7.2,7.7,8.3,9.14,11.10
4046 (PLL) ..... 5.16 à 5.23
40107 ..... 10.10
4047 ..... 5.1 à 5.8,13.6
Commutation ..... 4.3,5.15,9.1 à 9.12,13.5,14.9
Compteurs ..... 7.9 à 7.12,7.14,7.16,7.17,9.6, 9.7
Conversion D/A ..... 5.24 à 5.27,7.12,9.13
Détection de seuil ('trigger') ..... 6.1 à 6.6,11.9,13.2,13.3
Division/Multiplication/Détection 3.30,4.12,5.9 à 5.14,6.7,6.8,
Fréquence 6.9,7.16
Interfaces ..... 10.1 à 10.12,12.7
Manipulations ..... 14.6 à 14.8
Monostables ..... 4.1 à 4.20,5.3 à 5.6
Oscillateurs ..... 5.24 à 5.27,7.12,10.12,11.10 12.6,12.11
Oscillateurs commandés en tension 3.11,3.16,3.18,3.25,3.26,3.28 3.29,5.18,12.6,12.12
Portes analogiques ..... 3.9,3.15,6.1,8.2,9.5,9.10,9.11 à 9.14,10.12,11.11,11.12, 11.13,11.14,13.5
Puissance ('buffer') 8.5,9.8,9.9,10.6,10.9,10.10, 10.11,11.8,12.2,12.5,12.9, 12.10,13.4
Touche sensitive ..... 9.4 à 9.9

TABLE DES MATIÈRES

Avant propos 3

I Rappels 5
Algèbre de Boole 5
Nouvelle symbolisation logique 9
Réseaux RC et conventions 9

II Caractéristiques des portes CMOS 15

III Génération de signaux autonome : Les ASTABLES 19

IV Génération de signaux contrôlée : Les MONOSTABLES 57

V Génération de signaux à circuits particuliers 83

VI Détection de seuil : montages trigger 117

VII Des registres et des compteurs 131

VIII Logique combinatoire et portes "bufferisées" 159

IX Commutation et portes analogiques 171

X Interfaçage 197

XI Régime linéaire 217

XII Les "QMOS" 236

XIII Mini-réalisations 252

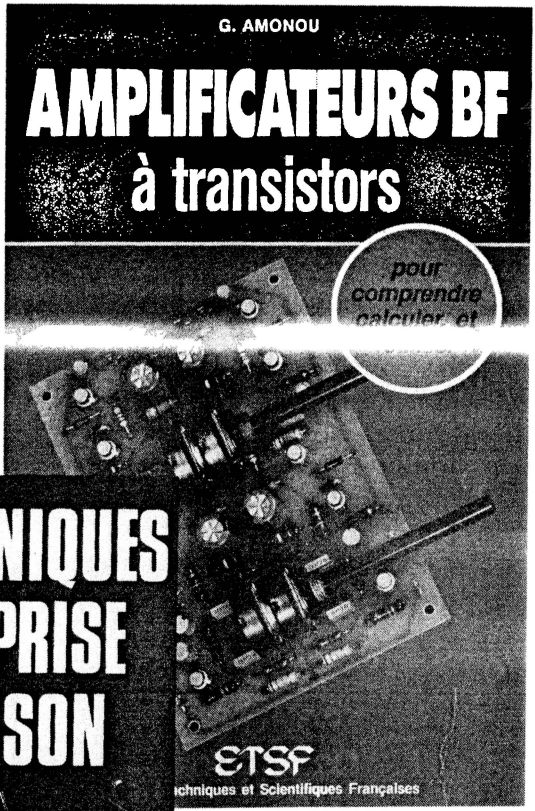
XIV Alimentations, manipulations et brochages 265

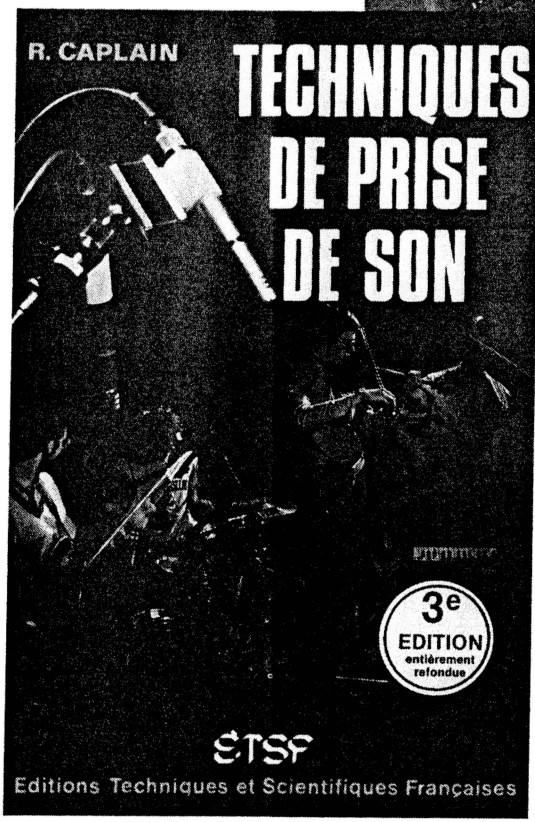
Conclusion 279

Index numérique des circuits CMOS 283

Index alphabétique des figures 287

Table des matières 288





ETSF

Editions Techniques
et Scientifiques Françaises

APPLICATIONS C MOS

Ce livre très complet sera une source inépuisable de schémas pour l'amateur, un aide-mémoire idéal pour l'étudiant, un recueil d'applications originales pour le technicien.

Chaque application comporte le schéma structurel, l'analyse complète du fonctionnement, les formules d'utilisation et les chronogrammes. De plus, chaque montage a été testé et n'utilise que des composants largement diffusés.

Cette « bible des CMOS » regroupe les connaissances actuelles sur la mise en application de la logique CMOS intégrée et se doit de figurer dans toute bibliothèque technique.

ETSF
Editions Techniques
et Scientifiques Françaises

9 782855 351674
ISBN 2 85535 167 7
Code : 472

P. WALLERICH
APPLICATIONS C MOS

EI
651
ET